

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: October 27, 2003

Application Number: No. 2003-366085
[ST.10/C]: [JP2003-366085]

Applicant(s): FUJITSU LIMITED

December 17, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3104771

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 7 日
Date of Application:

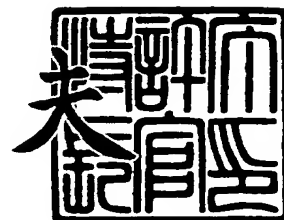
出 願 番 号 特 願 2 0 0 3 - 3 6 6 0 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 6 6 0 8 5]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 4 7 7 1

【書類名】 特許願
【整理番号】 0340796
【提出日】 平成15年10月27日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 G05F 3/16
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 橘 大
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 加藤 達夫
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 森下 智成
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100070150
 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイス
 タワー32階
 【弁理士】
 【氏名又は名称】 伊東 忠彦
 【電話番号】 03-5424-2511
【手数料の表示】
 【予納台帳番号】 002989
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0114942

【書類名】 特許請求の範囲

【請求項 1】

MOS トランジスタのサイズ比と抵抗とにより絶対温度に実質的に比例する第 1 の電流を発生する電流発生回路と、

該電流発生回路の安定動作点を該電流を発生する点に設定するスタートアップ回路を含み、該電流発生回路が該安定動作点で動作する際に該スタートアップ回路に流れる電流が拡散抵抗と MOS トランジスタとの直列抵抗により定まることを特徴とする半導体集積回路。

【請求項 2】

該電流発生回路で発生した該第 1 の電流に基づいて該絶対温度に実質的に依存しない基準電圧を発生する電圧発生回路を更に含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

該電圧発生回路は、

バイポーラトランジスタ又はダイオードと

該バイポーラトランジスタ又はダイオードと直接に接続される抵抗を含み、該バイポーラトランジスタ又はダイオードと該抵抗との直列接続に該第 1 の電流に比例する第 2 の電流を流すことで該基準電圧を発生することを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】

絶対温度に実質的に比例する第 1 の電流を発生する電流発生回路と、

該電流発生回路で発生した該第 1 の電流に基づいて該絶対温度に実質的に依存しない基準電圧を生成する電圧発生回路

を含み、該電圧発生回路は、

該絶対温度に実質的に負に比例する電圧を生成する第 1 の素子と、

該第 1 の素子に並列に接続される抵抗分圧回路と、

該第 1 の素子と該抵抗分圧回路との並列接続に接続され該第 1 の電流に比例する第 2 の電流を供給する第 2 の素子と、

該抵抗分圧回路の抵抗間のノードに接続され該第 1 の電流に比例する第 3 の電流を供給する第 3 の素子

を含むことを特徴とする半導体集積回路。

【請求項 5】

該第 1 の素子は、バイポーラトランジスタ又はダイオードであることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】

該電流発生回路は、MOS トランジスタのサイズ比と抵抗とにより該第 1 の電流を発生することを特徴とする請求項 4 記載の半導体集積回路。

【請求項 7】

電源電圧を抵抗により分圧した電圧をゲートに入力する第 1 の NMOS トランジスタと、

基準電圧をゲートに入力する第 2 の NMOS トランジスタと、

ダイオード接続された第 1 の PMOS トランジスタ及び第 2 の PMOS トランジスタと、

該第 1 の PMOS トランジスタのゲート電極にゲートが接続された第 3 の PMOS トランジスタと、

該第 2 の PMOS トランジスタのゲート電極にゲートが接続された第 4 の PMOS トランジスタと、

ダイオード接続された第 3 の NMOS トランジスタと、

該第 3 の NMOS トランジスタのゲート電極にゲートが接続された第 4 の NMOS トランジスタと、

第 1 の抵抗、

を含み、該第1のNMOSトランジスタのソース電極と該第2のNMOSトランジスタのソース電極を共通に接続し、該第1のNMOSトランジスタのドレインと該第1のPMOSトランジスタのドレインを接続し、該第2のNMOSトランジスタのドレインと該第2のPMOSトランジスタのドレインを接続し、該第3のPMOSトランジスタのドレインと該第3のNMOSトランジスタのドレインを接続し、該第4のPMOSトランジスタのドレインと該第4のNMOSトランジスタのドレインを接続し、該第1の抵抗の第1端を正の電源に接続し、該第1の抵抗の第2端を該第4のPMOSトランジスタのドレインと該第4のNMOSトランジスタのドレインに接続し、該第1の抵抗の該第2端の電位を出力とすることで、該電源電圧が所定値より低くなったことを検出することを特徴とする半導体集積回路。

【請求項8】

上記基準電圧は請求項2又は請求項3の半導体集積回路で発生することを特徴とする請求項5記載の半導体集積回路。

【請求項9】

第1のpnpバイポーラトランジスタと、

第2のpnpバイポーラトランジスタと、

該第1のpnpバイポーラトランジスタのエミッタに直列に接続される第1の抵抗と、

該第2のpnpバイポーラトランジスタのエミッタに直列に接続される第2の抵抗と、

該第2の抵抗に等しい抵抗値を有し該第1の抵抗の一端に直列に接続される第3の抵抗と、

該第2のpnpバイポーラトランジスタのエミッタ電位を該第2の抵抗により正の方向にレベルシフトした電位を第1の入力とし、該第1の抵抗の該一端の電位を該第3の抵抗により正の方向にレベルシフトした電位を第2の入力とするオペアンプ

を含み、該オペアンプは、NMOSトランジスタ差動対のゲート入力として該第1の入力及び該第2の入力を受け取り、該第1の入力の電位と該第2の入力の電位とが等しくなるよう負帰還制御することを特徴とする半導体集積回路。

【請求項10】

該第1のpnpバイポーラトランジスタに流れる第1の電流に基づいて絶対温度に実質的に依存しない基準電圧を生成する電圧発生回路を更に含み、該電圧発生回路は、

該絶対温度に実質的に負に比例する電圧を生成する第1の素子と、

該第1の素子に並列に接続される抵抗分圧回路と、

該第1の素子と該抵抗分圧回路との並列接続に接続され該第1の電流に比例する第2の電流を供給する第2の素子と、

該抵抗分圧回路の抵抗間のノードに接続され該第1の電流に比例する第3の電流を供給する第3の素子

を含むことを特徴とする請求項9記載の半導体集積回路。

【書類名】明細書

【発明の名称】半導体集積回路

【技術分野】

【0001】

本発明は、一般に半導体集積回路に関し、詳しくは低電圧動作が可能なバンドギャップ回路、バイアス電流発生回路、及び該バンドギャップ回路を用いた低電圧検出回路に関する。

【背景技術】

【0002】

アナログ集積回路では、温度や電源電圧に依存しない基準電圧が必要な場合、バンドギャップ回路と呼ばれる基準電圧回路が広く用いられている。デジタル回路との混載が容易であるCMOSアナログ集積回路においても、バンドギャップ回路は、安定な基準電圧を生成する回路として広く用いられている。

【0003】

バンドギャップ回路では、順バイアスされたpn接合の電位と、絶対温度(T)に比例(P T A T:Proportional To Absolute Temperatureと一般に称される)する電圧とを加算することで、温度に依存しない基準電圧を生成する。このような動作を実現する各種の回路が従来から実用に供されてきた。

【0004】

図1は、従来のバンドギャップ回路の構成の一例を示す図である。図2は、従来のバンドギャップ回路の構成の別の一例を示す図である。図3は、従来のバイアス電流発生回路の構成の一例を示す図である。

【0005】

図1において、Q1、Q2、Q3はpnnpバイポーラトランジスタを、R1、R2は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、NM1、NM2はNMOSトランジスタを、PM1、PM2、PM3はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位を、20はNMOSトランジスタのバイアス電位を、30から33は内部のノードを示す。

【0006】

例えば、PM1、PM2、PM3のW/L(W:ゲート幅、L:ゲート長)は等しく、またNM1、NM2のW/Lも等しいとする。更に、Q1とQ2のエミッタ接合面積比を例えば1:6とする。

【0007】

バイポーラトランジスタのベース・エミッタ間電圧又はpn接合の順方向電圧をVbeで表わすと、そのpn接合の順方向電圧と絶対温度Tの関係は、以下の式(1)で近似されることが知られている。

【0008】

$$V_{be} = V_{eg} - aT \quad (1)$$

ここでVbeはpn接合の順方向電圧、Vegはシリコンのバンドギャップ電圧であり約1.2V、aはVbeの温度依存性であり約2mV/℃、Tは絶対温度である。

【0009】

またバイポーラトランジスタのエミッタ電流Iと電圧Vbeの関係は、以下の式(2)で近似されることが知られている。

【0010】

$$I = I_0 \exp(qV_{be}/kT) \quad (2)$$

ここでIはバイポーラトランジスタのエミッタ電流又はダイオードの電流、I0は定数(面積に比例)、qは電子の電荷、kはボルツマン定数である。

【0011】

図2の回路では、PM1、PM2のゲート電極が共通なので、PM1、PM2、NM1、NM2、Q1、Q2に流れる電流は等しくなる。NM1、NM2に流れる電流が等しい

ので、内部ノード30と31の電位は等しくなる。Q1とQ2の接合面積比が1:6であるので、Q1の V_{be} を V_{be1} 、Q2の V_{be} を V_{be2} とすると、

$$Q1の電流 = I_0 \exp(qV_{be1}/kT)$$

$$Q2の電流 = 6 I_0 \exp(qV_{be2}/kT)$$

である。上記Q1の電流とQ2の電流とが等しいとし、 $V_{be1} - V_{be2}$ を求めることにより、抵抗R1の両端の電位差 V_{R1} は、以下の式(3)で表わされる。

【0012】

$$V_{R1} = (kT/q) \ln(6) \quad (3)$$

抵抗R1の両端の電位差 V_{R1} が式(3)で表わされるので、PM1、PM2に流れる電流 I_p は、

$$I_p = (1/R1) (kT/q) \ln(6) \quad (4)$$

となる(R1:抵抗R1の抵抗値)。この電流と同じ電流がPM3に流れるので、抵抗R2での電圧降下 V_{R2} は、

$$V_{R2} = (R2/R1) (kT/q) \ln(6) \quad (5)$$

で表わされる(R2:抵抗R2の抵抗値)。

【0013】

この抵抗R2での電圧降下 V_{R2} と、Q3の V_{be} の和が基準電圧 V_{ref} となる。pn接合の順方向電圧 V_{be} は温度の上昇に伴い減少する負の温度依存性を有し(式(1))、抵抗R2での電圧降下 V_{R2} が温度に比例して大きくなるので、適切に定数を選ぶことで、基準電圧 V_{ref} の値が温度に依存しないように設計することができる。そのときの基準電圧 V_{ref} の値は、シリコンのバンドギャップ電圧に相当する約1.2Vとなる。

【0014】

このように図1の従来回路では、PM1、PM2、PM3、NM1、NM2、Q1とQ2の接合面積比、R2とR1の値を適切に選ぶことで、温度に依存しないバンドギャップ電圧を比較的簡単な回路で発生できる。

【0015】

図2の従来回路も構成は異なるが、同様の原理により、温度に依存しない電圧を発生することができる。図2の回路は、特許文献1又は特許文献2に開示されている。また類似の回路構成が、特許文献3、特許文献4、特許文献5、特許文献6、特許文献7、非特許文献1等に示されている。

【0016】

図2のD1はダイオードを、R1、R2、R3は抵抗を、 V_{ref} は出力基準電位を、 V_{dd} は正の電源を、GNDはGND端子を、NM3、NM4はNMOSトランジスタを、PM1からPM3、PM7、PM8はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位を、21はNMOSトランジスタのバイアス電位を、33、35、90は内部のノードを示す、図2において、図1と同一の機能の素子は同一の符号で参照される。

【0017】

例えば、PM1、PM2、PM3の W/L (W :ゲート幅、 L :ゲート長)は等しいとする。更にNM3とNM4の W/L 比を例えば1:6とする。NM3とNM4はサブスレッショルド領域で動作するように設計される。

【0018】

NMOSトランジスタのゲート・ソース間電圧を V_{gs} で表わすと、サブスレッショルド領域でのドレイン電流 I_D と電圧 V_{gs} との関係は、式(6)で近似されることが知られている。

【0019】

$$I_D = I_0 \exp(qV_{gs}/nkT) \quad (6)$$

ここで I_D はサブスレッショルド領域でのドレイン電流、 I_0 は W に比例する定数、 q は電子の電荷、 k はボルツマン定数、 T は絶対温度、 n は酸化膜容量と空乏層容量の容量分

割で定まる定数でありNMOSトランジスタでは例えば1.3程度が一般的である。

【0020】

図2の回路では、PM1、PM2のゲート電極が共通なので、PM1、PM2、NM3、NM4、R1に流れる電流は等しくなる。NM3、NM4に流れる電流が等しく、NM3、NM4のW/L比が1:6であることから、抵抗R1の両端の電位差VR1は、前述の式(3)と同様にして、以下の式(7)で表わされる。

【0021】

$$VR1 = (nkT/q) \ln(6) \quad (7)$$

抵抗R1の両端の電位差VR1が式(7)で表わされるので、PM1、PM2に流れる電流Ipは、

$$Ip = (1/R1) (nkT/q) \ln(6) \quad (8)$$

となる。この電流IpはPM3にも流れる。従ってPM3に流れる電流は、抵抗の温度依存性を無視した場合には、式(8)に示されるように温度に比例した電流となる。この電流が抵抗R2及びダイオードD1に流れるので、基準電位Vrefは、以下の式(9)で表わされる。

【0022】

$$Vref = Vbe + (R2/R1) (nkT/q) \ln(6) \quad (9)$$

ここでVbeはD1の順方向電位であり、R2は抵抗R2の抵抗値である。

【0023】

式(9)中のVbeは温度に対して負の温度依存性を持つので、(R2/R1)(nkT/q)ln(6)の項がVbeの負の温度依存性を打ち消すように定数を選ぶことにより、基準電位Vrefを温度に依存しないように設定できる。そのときの基準電位Vrefの値は、略シリコンのバンドギャップ電圧(約1.2V)となる。

【0024】

このように図2の従来回路においても、PM1、PM2、PM3、NM3、NM4、R2とR1の値を適切に選ぶことで、温度に依存しないバンドギャップ電圧を比較的簡単な回路で発生することができる。図1の回路は、バイポーラトランジスタを用いているために高い精度を実現できるが、後程説明するように、PMOSTランジスタ、NMOSTランジスタ、及びバイポーラトランジスタの直列接続を含むために、低電圧で動作することができないという問題がある。それに対して図2の回路は、低い動作電圧で駆動することが可能である。

【0025】

図3はバイアス電流を発生するための従来のバイアス電流発生回路の構成の一例を示している。図3の回路により絶対温度に比例するバイアス電流を発生し、このバイアス電流に基づいて、例えば図2のPM3、R2、及びD1からなる回路を用いて基準電圧Vrefを生成する。図3において、図2と同一の機能の素子は同一の符号で参照する。

【0026】

図3の従来回路は、図2の従来回路と同様の動作により絶対温度に比例するバイアス電流(式(8))を生成する。

【0027】

図3において、回路部分BLK1はスタートアップ回路として機能する。PM1、PM2、NM3、NM4、R1により構成されるループだけでは、式(8)で表わされる安定点以外に、全ての電流が0のときにも回路が安定してしまう問題がある。この問題を解決するために、スタートアップ回路BLK1が用いられる。

【0028】

望ましくない動作点、即ち全ての電流が0のときには、内部ノード10の電位はVdd、内部ノード21の電位はGNDとなる。このときNM6はOFFしているので、PM4に流れる電流により、内部ノード34の電位はVddとなる。内部ノード34の電位がVddとなると、NM5がONし、PM2に電流が流れ始める。PM2に電流が流れ始めると、PM1にも電流が流れ始め、式(8)で表わされる安定点に回路が到達する。

【0029】

PM1、PM2、NM3、NM4、R1に電流が流れ始めると、NM6にも電流が流れ、内部ノード34の電位はGND電位程度となり、NM5がOFFする。これにより、スタートアップ回路BLK1が、PM1、PM2、NM3、NM4、R1により構成されるループから切り離される。

【0030】

図4は、従来のバンドギャップ回路の構成の更に別の一例を示す図である。

【0031】

図4のQ1、Q2はpnpバイポーラトランジスタを、R1、R2、R2'は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2はPMOSトランジスタを、11はPMOSトランジスタのバイアス電位（オペアンプ出力）を、30、31、32は内部のノードを、OP1はオペアンプを示す。図4において、図1と同一の機能の素子は同一の符号で参照する。

【0032】

例えば、PM1、PM2のW/L（W：ゲート幅、L：ゲート長）は等しく、Q1とQ2の接合面積比を例えば1：6とする。また抵抗R2の抵抗値とR2'の抵抗値とは等しいものとする。

【0033】

バイポーラトランジスタのベース・エミッタ間電圧又はpn接合の順方向電圧Vbeは、前述の式（1）となる。またバイポーラトランジスタのエミッタ電流Iと電圧Vbeとの関係は、前述の式（2）となる。

【0034】

図4の回路では、PM1、PM2のゲート電極が共通なので、PM1、PM2、Q1、Q2、R1、R2、R2'に流れる電流は等しくなる。OP1の負帰還作用により、ノード30と31の電位は略等しい電位となって回路が安定する。ノード30と31の電位が等しく、Q1とQ2の接合面積比が1：6であることから、抵抗R1の両端の電位差VR1は前述の式（3）で表わされる。またPM1及びPM2に流れる電流Ipは、前述の式（4）となる。この電流が抵抗R2に流れるので、抵抗R2での電圧降下VR2は前述の式（5）となる。この抵抗R2での電圧降下VR2と、Q3のVbeの和が基準電圧Vrefとなる。pn接合の順方向電圧Vbeが負の温度依存性を有し、抵抗R2での電圧降下VR2が正の温度依存性を有するので、適切に定数を選ぶことにより、基準電圧Vrefの値を温度に依存しないように設計することができる。そのときのVrefの値はシリコンのバンドギャップ電圧に相当する約1.2Vとなる。

【0035】

このように図4の従来回路では、PM1とPM2のサイズ、Q1とQ2の接合面積比、R2とR1の値を適切に選び、オペアンプを用いることで、温度に依存しないバンドギャップ電圧を比較的簡単な回路で発生することができる。このようなオペアンプを用いた従来のバンドギャップ回路が、例えば非特許文献2、非特許文献3、非特許文献4に示されている。

【0036】

図1、図2、図4で説明したバンドギャップ回路の重要な応用の1つとして、低電圧検出回路がある。電源電圧や温度に依らず一定であるバンドギャップ回路の基準電位を、電源電圧を分圧した電位と比較することにより、電圧が所定値より大きい小さいかを検出することができる。例えば、電源電圧が回路の最低動作電圧より低いことが検出された場合には、誤動作を避けるために、リセット信号を発生してその回路ブロックの動作を停止するといった制御を実行することができる。

【特許文献1】特許第3071654号公報

【特許文献2】特許第3338814号公報

【特許文献3】特開2002-99336号公報

【特許文献4】特開2003-78366号公報

【特許文献5】特許第2994293号公報

【特許文献6】特開平5-204479号公報

【特許文献7】特開平6-309052号公報

【非特許文献1】ジー・ズアナテアス他、「CMOS バンドギャップ ボルテージ リファレンス」、アイイーイーイー、ジャーナル オブ ソリッドステートサーキット、ボリュームSC-14、ナンバー3、1979年6月、ページ655~657 (G. Tzanateas, C.A.T. Salama, and Y.P. Tsividis, "A CMOS Bandgap Voltage Reference," IEEE Journal of Solid-State Circuits, Vol. SC-14, No.3, pp.655-657, June 1979.)

【非特許文献2】ケー・エヌ・リュング他、「ア サブ-1-V 15-ppm/°C CMOS バンドギャップ ボルテージ リファレンス ウィズアウト リクワイヤリング ロー スレッシュホールド ボルテージ デバイスィーズ」、アイイーイーイー、ジャーナル オブ ソリッドステートサーキット、ボリューム37、ナンバー4、2002年4月、ページ526~530 (K. N. Leung, and P. K. T. Mok, "A Sub-1-V 15-ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Devices," IEEE Journal of Solid-State Circuits, Vol. 37, No.4, pp.526-530, April 2002.)

【非特許文献3】エー・ボニ、「オペアンプス アンド スタートアップ サーキット フォー CMOS バンドギャップ リファレンスィーズ ウィズ ニア 1-V サプライ」、アイイーイーイー、ジャーナル オブ ソリッドステートサーキット、ボリューム37、ナンバー10、2002年10月、ページ1339~1343 (A. Boni, "Op-Amps and Startup Circuits for CMOS Bandgap References With Near 1-V Supply," IEEE Journal of Solid-State Circuits, Vol. 37, No.10, pp.1339-1343, October 2002.)

【非特許文献4】エイチ・バンバ他、「ア CMOS バンドギャップ リファレンス サーキット ウィズ サブ-1-V オペレーション」、アイイーイーイー、ジャーナル オブ ソリッドステートサーキット、ボリューム34、ナンバー5、1999年5月、ページ670~674 (H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," IEEE Journal of Solid-State Circuits, Vol. 34, No.5, pp.670-674, May 1999.)

【発明の開示】

【発明が解決しようとする課題】

【0037】

近年の半導体集積回路の微細化に伴って、回路の動作電圧が低下し、アナログ回路についても動作電圧の低減の要求されている。特にCMOSアナログ集積回路の重要な構成要素であるCMOSバンドギャップ回路については、動作電圧の低減が望まれている。

【0038】

また携帯型電子機器に代表されるような電池駆動の電子機器において、電池寿命の観点から、アナログ回路の低消費電力化が強く望まれている。低消費電力化のためには、動作時の消費電力を削減するだけでなく、必要なとき以外は回路を停止するなどの制御の工夫をすることが一般的である。

【0039】

更にLSIのコストの観点から、小さい占有面積で回路を構成することが望まれている。

【0040】

前述の各種バンドギャップ回路やバイアス電流発生回路においては、以下に述べるような問題がある。

【0041】

図1の従来回路は、比較的簡単な回路でバンドギャップ電圧を発生することができるが

、温度に比例する P T A T 電流を発生する部分の最低動作電圧が大きいという問題があった。これは、p n p バイポーラトランジスタ Q 1 と N M O S トランジスタ N M 1 との直列接続、又は Q 2 と P M O S トランジスタ P M 2 とを同一の電流経路に含んでおり、p n p バイポーラトランジスタの順方向電圧 V_{be} と M O S トランジスタの閾値電圧 V_{th} の程度の電源電圧が要求されるためである。例えば V_{be} を 0.7 V、 V_{th} を 0.9 V とすると、最低電圧は、1.6 V から 1.7 V 程度必要となり、最近のデジタル回路の電源電圧 1.8 V に対して殆ど余裕のない値となってしまう。

【0042】

図 2 の回路では、p n p バイポーラトランジスタ（ダイオード）と N M O S トランジスタとの直列接続を用いなくて、バンドギャップ電圧を発生している。これにより、最低動作電圧の問題は解決されている。図 2 の回路は、スタートアップ回路を、P M 7、P M 8、抵抗 R 3、容量 C 2 で構成しており、次に述べるような問題点がある。

【0043】

第 1 の問題は、図 2 の回路は電源電圧が印加された状態で常に回路が動作していることを前提としており、電源電圧が印加された状態での回路停止のための考慮がなされていないことである。例えば、バンドギャップ回路をシリーズレギュレータの基準電位として利用する場合には、電源電圧が加わった状態で回路をスタンバイ状態とすることが望ましい場合があるが、図 2 の回路はこのような要求に答えることができない。

【0044】

第 2 の問題は、図 2 の回路はスタートアップ回路に容量 C 2 を用いていることであり、この図 2 の回路構成をスタンバイ状態に制御可能なように変更しても、スタートアップ時間がかえって大きくなる点である。図 2 の回路において、電源電圧が印加されたまま動作を停止するためには、P M O S トランジスタのバイアス電位 10 を V_{dd} とする手段、N M O S トランジスタのバイアス電位を G N D とする手段、及びノード 90 を V_{dd} とする手段を追加すればよい。しかしながらスタンバイ状態から通常の動作に復帰するとき、スタートアップ回路が動作するためには、P M 8 が O N する電位までノード 90 の電位が下がらなければならない。図 2 の回路構成では、C 2 と R 3 の時定数を電源の立ち上がりの時間より大きく設計するので、スタートアップ回路が動作し始めるまでの時間が大きいという問題がある。

【0045】

図 3 の回路は、図 1 の回路と異なり、M O S トランジスタの W/L 比により温度に比例する P T A T 電流を発生する。p n p バイポーラトランジスタ（又はダイオード）を使用しないので、最低動作電圧は図 1 の回路に比べて V_{be} だけ小さくなる。しかし図 3 の回路では、以下に説明するように、スタートアップ回路により最低動作電圧が大きくなるという問題がある。

【0046】

図 3 のスタートアップ回路 B L K 1 は、P M 1、P M 2、N M 3、N M 4、R 1 により構成されるループに電流が流れないときは、P M 4 に流れる電流によりノード 34 の電位を V_{dd} とし、N M 5 を O N することで P M 2 に電流を流し始める。P M 1、P M 2、N M 3、N M 4、R 1 により構成されるループに電流が流れ、回路が安定点に到達すると、ノード 34 の電位を G N D 電位程度とし、N M 5 を O F F させる必要がある。P M 1、P M 2、N M 3、N M 4、R 1 により構成されるループに電流が流れ、回路が安定点に到達した後も、P M 4 には定常的に電流が流れるので、低消費電力化のためには P M 4 に流れる電流を小さく設定する必要がある。

【0047】

P M 4 に流れる電流を小さくするためには、P M 4 の W を小さくすると共に L を大きくすればよいが、このようにすると、狭チャネル効果により P M 4 の V_{th} が大きくなってしまふ。仮に P M O S トランジスタ P M 1 及び P M 2 の閾値電圧 V_{th} を 0.9 V、P M 4 の閾値電圧 V_{th} を 1.1 V とすると、電源電圧が 1.1 V 以下では P M 4 が O N せず、ノード 34 の電位を V_{dd} とすることができない。従ってスタートアップ回路 B L K 1 が

機能せずに、PM1、PM2、NM3、NM4、R1により構成されるループが動作可能な電圧であっても、バイアス電流が発生できないことになる。

【0048】

図4の回路では、非特許文献2～4に示されるように、オペアンプ回路OP1はPMOSトランジスタで構成された差動回路を入力部として構成することが一般的である（或いは閾値電圧 V_{th} が低い特殊なNMOSトランジスタを必要とする）。これは、オペアンプにより負帰還制御して一致させようとしているノード30及び31の電位が、 V_{be} 程度（例えば、0.6V程度）とGNDに近い電位となるためである。0.6V程度の閾値電圧の一般的なNMOSトランジスタを使用したのでは、殆ど動作余裕がなく、また温度が上昇した場合に温度依存性により順方向電圧が0.4V程度にまで減少してしまうという問題がある。

【0049】

しかしオペアンプ回路OP1をPMOSトランジスタで構成された差動回路とし、 V_{be} 程度の電位を入力する構成とすると、その最低動作電源電圧は $V_{be} + V_{th}$ （PMOSトランジスタの閾値電圧）程度となる。その結果、最低動作電源電圧が $V_{be} + V_{th}$ に制限され、それ以上小さい電源電圧で動作しないという問題がある。

【0050】

また上記図1乃至図4の回路に共通の問題点として、従来技術では出力される基準電圧はバンドギャップ電圧（約1.2V）に限定されており、原理的にバンドギャップ電圧以上の電源電圧が必要となることである。

【0051】

以上を鑑みて、本発明の第1の目的は、最低動作電圧が小さく、且つ簡素な構成のバンドギャップ回路を提供することにある。

【0052】

本発明の第2の目的は、スタートアップ回路を含めた構成において最低動作電圧が小さく、且つ簡素な構成のバイアス電流発生回路を提供することにある。

【0053】

本発明の第3の目的は、バンドギャップ電圧（約1.2V）に限定されることなく、任意の電圧を発生可能なバンドギャップ回路を提供することにある。

【0054】

本発明の第4の目的は、オペアンプを用いた構成において、低電圧で動作が可能なバンドギャップ回路を提供することにある。

【課題を解決するための手段】

【0055】

本発明による半導体集積回路は、MOSトランジスタのサイズ比と抵抗とにより絶対温度に実質的に比例する第1の電流を発生する電流発生回路と、該電流発生回路の安定動作点を該電流を発生する点に設定するスタートアップ回路を含み、該電流発生回路が該安定動作点で動作する際に該スタートアップ回路に流れる電流が拡散抵抗とMOSトランジスタとの直列抵抗により定まることを特徴とする。

【0056】

更に本発明による半導体集積回路は、該電流発生回路で発生した該第1の電流に基づいて該絶対温度に実質的に依存しない基準電圧を発生する電圧発生回路を更に含むことを特徴とする。

【0057】

また本発明の別の側面によれば、半導体集積回路は、絶対温度に実質的に比例する第1の電流を発生する電流発生回路と、該電流発生回路で発生した該第1の電流に基づいて該絶対温度に実質的に依存しない基準電圧を生成する電圧発生回路を含み、該電圧発生回路は、該絶対温度に実質的に負に比例する電圧を生成する第1の素子と、該第1の素子に並列に接続される抵抗分圧回路と、該第1の素子と該抵抗分圧回路との並列接続に接続され該第1の電流に比例する第2の電流を供給する第2の素子と、該抵抗分圧回路の抵抗間の

ノードに接続され該第1の電流に比例する第3の電流を供給する第3の素子を含むことを特徴とする。

【0058】

また本発明の別の側面によれば、半導体集積回路は、第1のpnpバイポーラトランジスタと、第2のpnpバイポーラトランジスタと、該第1のpnpバイポーラトランジスタのエミッタに直列に接続される第1の抵抗と、該第2のpnpバイポーラトランジスタのエミッタに直列に接続される第2の抵抗と、該第2の抵抗に等しい抵抗値を有し該第1の抵抗の一端に直列に接続される第3の抵抗と、該第2のpnpバイポーラトランジスタのエミッタ電位を該第2の抵抗により正の方向にレベルシフトした電位を第1の入力とし、該第1の抵抗の該一端の電位を該第3の抵抗により正の方向にレベルシフトした電位を第2の入力とするオペアンプを含み、該オペアンプは、NMOSTランジスタ差動対のゲート入力として該第1の入力及び該第2の入力を受け取り、該第1の入力の電位と該第2の入力の電位とが等しくなるよう負帰還制御することを特徴とする。

【発明の効果】

【0059】

上記半導体集積回路においては、電流発生回路が安定動作点で動作する際にスタートアップ回路に流れる電流が拡散抵抗とMOSTランジスタとの直列抵抗により定まるように構成される。従って、拡散抵抗の抵抗値を十分大きくすることにより、MOSTランジスタ及び拡散抵抗に流れる電流を小さくして消費電流を小さくすると共に、 W/L の十分大きなMOSTランジスタを使用して狭チャネル効果による V_{th} の上昇を避け、低電圧での動作を可能とすることができる。

【0060】

また上記半導体集積回路においては、絶対温度に実質的に負に比例する電圧を生成する第1の素子と、第1の素子に並列に接続される抵抗分圧回路を用いることで、元のバンドギャップ電圧を抵抗分圧回路で分割すると共に、更に抵抗分割回路に正の温度依存性を有する電流を供給することで、分圧された負の温度依存性を打ち消すように構成することができる。これにより、絶対温度に依存しない基準電圧を生成することが可能となる。

【0061】

また上記半導体集積回路においては、オペアンプの入力をNMOSTランジスタ差動対で構成し、抵抗により正の方向にレベルシフトした電位をオペアンプに入力として供給する。従って、電源電圧が低下しても正常にオペアンプを動作させることが可能となり、低電源電圧で動作可能なバンドギャップ回路を提供できる。

【発明を実施するための最良の形態】

【0062】

以下に、添付の図面を用いて本発明の実施例を詳細に説明する。

【0063】

図5は、本発明によるバンドギャップ回路の第1の実施例を示す回路図である。

【0064】

図5において、Q3はpnpバイポーラトランジスタを、R1、R2、R5は抵抗を、 V_{ref} は出力基準電位を、 V_{dd} は正の電源を、GNDはGND端子を、NM3からNM8はNMOSTランジスタを、PM1からPM3、PM5、PM12はPMOSTランジスタを、10はPMOSTランジスタのバイアス電位を、21はNMOSTランジスタのバイアス電位を、33から35は内部のノードを、EN、ENXは制御信号を示す。図5において、図1乃至図3と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。

【0065】

例えば、PM1、PM2、PM3の W/L (W :ゲート幅、 L :ゲート長)は等しいとする。更にNM3とNM4の W/L 比を例えば1:6とする。NM3とNM4はサブスレッショルド領域で動作するように設計される。

【0066】

図5のバンドギャップ回路は、制御信号ENがH及び制御信号ENXがLのとき通常の動作状態となる。まずこの通常の状態での動作を説明する。ENがH、ENXがLとなると、PM12、NM7、NM8はOFFとなり、図5の回路の動作には関係しなくなる。またこのときPM5はONとなっている。

【0067】

NMOSトランジスタのゲート・ソース間電圧を V_{gs} で表わすと、サブスレッショルド領域でのドレイン電流 I_D と電圧 V_{gs} の関係は、前述の式(6)で表される。

【0068】

図5の回路では、PM1、PM2のゲート電極が共通なので、PM1、PM2、NM3、NM4、R1に流れる電流は等しくなる。NM3、NM4に流れる電流が等しく、NM3、NM4の W/L 比が1:6であることから、抵抗R1の両端の電位差 V_{R1} は、前述の式(7)で表わされる。抵抗R1の両端の電位差 V_{R1} が式(7)で表わされるので、PM1、PM2に流れる電流 I_p は、前述の式(8)となる。

【0069】

この電流 I_p はPM3にも流れるが、その電流値は式(8)から明らかなように、温度に比例した電流となる。この結果、基準電位 V_{ref} は前述の式(9)で表わされる。式(9)の第1項の V_{be} は温度に対して負の温度依存性を有し、第2項の $(R2/R1)(nkT/q)\ln(6)$ は温度に対して正の温度依存性を有する。従って負の温度依存性を有する項と正の温度依存性を有する項とが互いに打ち消すように定数を選べば、基準電位 V_{ref} を温度に依存しないよう設定できる。そのときの基準電位 V_{ref} の値は略シリコンのバンドギャップ電圧(約1.2V)となる。

【0070】

なお上記説明では、説明を簡単にするために、式(9)で基準電圧を表現したが、例えば非特許文献1に記載されているように、抵抗R2での電圧降下 V_{R2} は式(5)で表現できることも知られている。しかし定数nの違いだけであるので、ここでは式(9)に基づいて説明を進めた。以下の説明でも、電流を表わす場合に式(8)で説明を進めるが、式(4)で表現可能なことは同様である。

【0071】

図5において、回路部分BLK2はスタートアップ回路として機能する。PM1、PM2、NM3、NM4、R1により構成されるループだけでは、式(8)で表わされる安定点以外に、全ての電流が0のときにも回路が安定してしまう問題がある。この問題を解決するために、スタートアップ回路BLK2が用いられる。

【0072】

望ましくない動作点、即ち全ての電流が0のときには、内部ノード10の電位は V_{dd} 、内部ノード21の電位はGNDとなる。このときNM6はOFFしているので、PM5及び抵抗R5に流れる電流により、内部ノード34の電位は V_{dd} となる。内部ノード34の電位が V_{dd} となると、NM5がONし、PM2に電流が流れ始める。PM2に電流が流れ始めると、PM1にも電流が流れ始め、式(8)で表わされる安定点に回路が到達する。

【0073】

PM1、PM2、NM3、NM4、R1に電流が流れ始めると、NM6にも電流が流れ、内部ノード34の電位はGND電位程度となり、NM5がOFFする。これにより、スタートアップ回路BLK1が、PM1、PM2、NM3、NM4、R1により構成されるループから切り離される。

【0074】

前述のように図3の従来のスタートアップ回路BLK1では、低消費電力を実現するために、PM4に流れる定常電流を小さく設定する必要がある。しかしPM4の W を小さく且つ L を大きくすると、狭チャネル効果によりPM4の閾値電圧 V_{th} が大きくなり、低い電源電圧ではスタートアップ回路BLK1が機能できず、バイアス電流の発生に失敗するという問題があった。即ち、従来回路においては、スタートアップ回路により最低動作

電圧が大きくなる問題があった。

【0075】

それに対し図5に示す本発明の回路では、拡散抵抗R5の抵抗値を十分大きくすることにより、PM5及び抵抗R5に流れる電流を小さく設定することができる。このような回路構成とすることで、W/Lの十分大きなMOSトランジスタを使用し、狭チャネル効果による V_{th} の上昇を避け、低電圧での動作を可能とすることができる。

【0076】

また前述の図2の従来回路については、電源電圧が印加された状態で常に回路が動作していることを前提としており、電源電圧が印加された状態での回路停止のための考慮がなされていないという問題があった。また図2の回路構成では、C2とR3の時定数を電源の立ち上がりの時間より大きく設計するので、スタートアップ回路が動作し始めるまでの時間が大きいという問題があった。

【0077】

それに対し本発明のスタートアップ回路BLK2では、PMOSトランジスタのバイアス電位をV_{dd}とする手段PM12と、NMOSトランジスタのバイアス電位をGNDとする手段NM7、スタートアップ電流を流すMOSトランジスタNM5のゲートを固定する手段NM8及びPM5を設けることで、回路に電源電圧が印加された状態で、回路をスタンバイ状態に設定することができる。またスタンバイ状態から動作状態に復帰する場合に、スタートアップ電流を流すMOSトランジスタNM5のゲート電位34の時定数は寄生容量と抵抗R5で決まるので、図2の従来回路のように大容量C2を充放電する必要がなく、高速化を達成することができる。

【0078】

図6は、図5のバンドギャップ回路の電源電圧V_{dd}と基準電圧V_{ref}の特性の一例を示す図である。図6に示す特性は、温度が-40℃、25℃、100℃の場合のものである。

【0079】

高利得の回路による負帰還を用いないので、電源電圧V_{dd}が上昇すると、回路の電流が増加し（アーリー効果又はチャネル長変調効果による）、基準電圧V_{ref}が緩やかに増加する。しかし温度の変化に応じて出力電位V_{ref}が変化することはなく、バンドギャップ回路としての動作を示していることが分かる。図5の回路では、基準電圧V_{ref}の値は約1.2Vなので、電源電圧は約1.2V必要となり、図6の特性からも、約1.2Vの電源電圧から回路が動作することが分かる。

【0080】

以下に、図5の回路において、制御信号ENがL且つ制御信号ENXがHのときのスタンバイ時の動作について説明する。

【0081】

制御信号ENがL且つ制御信号ENXがHのときには、PM12、NM7、NM8はONとなり、PM5はOFFとなる。PM12がONとなるので、PMOSトランジスタのバイアス電位10はV_{dd}となる。NM7がONとなるので、NMOSトランジスタのバイアス電位21はGNDとなる。NM8がONとなるので、ノード34の電位もGNDとなる。

【0082】

PMOSトランジスタのバイアス電位10がV_{dd}となるので、PM1、PM2、PM3はOFFとなる。NMOSトランジスタのバイアス電位21がGNDとなるので、NM3、NM4、NM6もOFFとなる。またノード34がGNDとなるので、NM5もOFFとなる。これにより図5の回路には電流が流れず待機状態（スタンバイ状態）となる。

【0083】

上記バンドギャップ回路の第1の実施例の説明では、PM1、PM2、PM3のW/Lは等しく、またNM3とNM4のW/L比は1:6であるとしたが、これらのサイズ比を変更しても、同様の原理に基づいて設計できることは明らかである。

【0084】

図7は、図5の回路をバイアス電流発生回路として使用する場合の一例を示す回路図である。図7において、図5と同一の構成要素は同一の参照番号で参照し、その説明は省略する。

【0085】

図7に示すように、図5の回路の一部をバイアス電流発生回路として使用することができる。バイアス電流発生回路として使用した場合、スタートアップ回路に流れる電流をPM5及び抵抗R5の直列等価抵抗で調整できるようにすることで、例えば拡散抵抗R5の抵抗値を十分大きくすれば、PM5の W/L を大きくできる。これにより十分 W/L が大きなMOSトランジスタを使用し、狭チャネル効果による V_{th} の上昇を避け、低電圧による動作を可能とすることができる。

【0086】

図8は、本発明によるバンドギャップ回路の第2の実施例を示す回路図である。

【0087】

図8において、Q3はpnpバイポーラトランジスタ（pnpバイポーラトランジスタ）を、R1、R5、R6、R7は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、NM3からNM6はNMOSトランジスタを、PM1からPM3、PM5、PM6はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位を、21はNMOSトランジスタのバイアス電位を、33から35は内部のノードを示す。図8において、図5と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。図8においても、図5の制御信号EN及びENXと同様の信号を用いることで回路を停止させることができるが、図面簡略化のために、回路停止のための制御部分は省略している。

【0088】

図8の回路のバイアス電流を発生する部分は、図5の回路の構成と同一である。図8の回路と図5の回路が異なる点は、基準電圧を発生する部分、PM3、PM6、R6、R7、Q3である。図8の回路では、1.2V以外の電圧、例えば0.6Vの電圧を発生できるように回路が構成されている。

【0089】

例えば、PM1、PM2、PM3、PM6の W/L （ W :ゲート幅、 L :ゲート長）は等しいとする。さらに、NM3とNM4の W/L 比を、例えば1:6とする。NM3とNM4はサブスレッショルド領域で動作するように設計される。

【0090】

PM1及びPM2に流れる電流 I_p は、前述の式(8)で表わされ、温度に比例するPTAT電流となる。この電流と同じ値の電流が、PM3に流れる。説明を簡単にするために、R6及びR7の抵抗値は同一であるとする。PM3からQ3に電流が流れるので、ノード33の電位は V_{be} （ V_{be} :pn接合の順方向電圧）となる。このノード33の電位は、同一の抵抗値の抵抗R6及びR7により、 $V_{be}/2$ に分割される（このときR6及びR7に流れる電流によりQ3の V_{be} が大幅に減少しないように、R6及びR7の抵抗値はある程度大きく設定する）。

【0091】

また式(8)で表されるPTAT電流はPM6にも流れる。説明を簡単にするために、PM6から流れる電流は全てR7に流れるものとする。PM6の電流がR7に流れるとすると、基準電圧Vrefの電位は、概略以下の式(10)で表わされることになる。

【0092】

$$V_{ref} = (1/2) V_{be} + (R7/R1) (nkT/q) \ln(6) \quad (10)$$
 V_{be} は温度に対して負の温度依存性を有し、 $(R7/R1) (nkT/q) \ln(6)$ は温度に対して正の温度依存性を有する。正の温度依存性を持つ項と負の温度依存性を持つ項とを打ち消すように定数を選べば、基準電位Vrefを温度に依存しないように設定できる。そのときの基準電位Vrefの値は、略バンドギャップ電圧/2=約0.6Vと

なる。

【0093】

上記の例では、R6及びR7の抵抗値を等しく設定し、基準電圧を約0.6Vとする場合について説明したが、Vrefの値が温度に依存しないという条件を満たしさえすれば、これらの定数については自由に変更してよい。またVrefの値についても、例えば0.9V等の任意の値に設計することができる。

【0094】

例えばR1の抵抗値を300kΩとする。PM1及びPM2に流れる電流Ipは式(8)より、

$$\begin{aligned} I_p &= (1/R1) (nkT/q) \ln(6) \\ &= (1.3 \times 26\text{mV} \times \ln(6)) / 300\text{k}\Omega = 61\text{mV} / 300\text{k}\Omega = 0.2\mu\text{A} \end{aligned}$$

となる(nは1.3とした)。PM3の電流はQ3だけでなく、R6、R7にも流れるので、PM3、PM6のW/LをPM1、PM2に対して2倍とする。

【0095】

PM3には0.4μAの電流が流れる。Q3にはある程度電流が流れなければ、ノード33にVbeを発生できないので、R6及びR7の直列抵抗値はある程度大きくなければならない。ここでは仮に、R6を1500kΩ、R7を4500kΩとする。R6及びR7の直列抵抗は6MΩとなる。PM3の電流だけを考えた場合、Vbeが0.6Vであれば、R6及びR7には、0.6V/6MΩ=0.1μAの電流が流れる。PM3が流す電流は0.4μAなので、その1/4程度が抵抗R6及びR7に流れ、残りがQ3に流れることになる。Q3に3μA程度の電流が流れるのでノード33の電位はVbe、例えば0.6Vとなる。この電圧が、R6及びR7により3/4に分圧されて基準電圧Vrefとして現われる。つまりPM3の電流だけを考えた場合、Vrefの電位は3/4×Vbe(=0.45V)となる。

【0096】

更にPM6からも0.4μAの電流がVrefに流れる。PM6からみたVrefの等価抵抗はR6とR7との並列抵抗であるので、R6が1500kΩ、R7が4500kΩの場合、並列等価抵抗は1.125MΩとなる。この1.125MΩの並列等価抵抗に0.4μAの電流を流すと、その電圧降下は0.45Vとなる。この電圧降下が、上記のようにVbeを分圧した値0.45Vに加わるので、最終的なVrefの電位は0.9Vとなる。

【0097】

このように、元のバンドギャップ電圧と最終的に出力しようとする電圧との比でダイオード電圧を分割できるように、且つR6及びR7の並列合成抵抗とPM6の電流とによりこの分圧されたダイオード電圧の負の温度依存性を打ち消すように、R6とR7の値を定めればよい。

【0098】

図8の回路のように基準電圧発生部分を構成すると、R6及びR7によりVbeを分圧することができ、その任意に分割されたVbeに対してその温度依存性を打ち消すような正の温度依存性を有する電位を加算することができる。Vbeを1/3に分割した場合は、Vbe/3の温度依存性を打ち消すような電位をPM6電流とR6及びR7の等価並列抵抗とで発生でき、またVbeを5/6に分割した場合は、5Vbe/6の温度依存性を打ち消すような電位をPM6電流とR6及びR7の等価並列抵抗とで発生できる。そのとき最終的なVrefの電位はそれぞれ、Veg/3及び5Veg/6となることは上記説明から明らかである。また上記説明ではnは1.3として説明したが、nの値はトランジスタによって異なり、またより正確には電流密度によっても異なる。従って、詳細な回路シミュレーションによって、必要な抵抗及び電流を正確に設計することが望ましい。

【0099】

図9は、図8の回路の電源電圧Vddと基準電圧Vrefの特性の一例を示す図である。図9に示すのは、温度が-40℃、25℃、100℃の場合のものである。

【0100】

電源電圧 V_{dd} が上昇すると、回路の電流が増加し（アーリー電圧又はチャネル長変調効果による）、基準電圧 V_{ref} が緩やかに増加する。しかし温度の変化に対しては出力電位 V_{ref} は変化せず、温度に依存しない基準電圧回路としての動作を示していることが分かる。図8の特性例では、基準電圧 V_{ref} の値は約0.6Vの場合を示した。最低動作電源電圧として、約1.0V程度が実現できることが分かる。

【0101】

上記図8の第2の実施例のバンドギャップ回路では、基準電圧 V_{ref} の電位をバンドギャップ電位より小さい値とすることで、図5の第1の実施例のバンドギャップ回路と比較して、より低い電源電圧での動作を可能としている。

【0102】

図10は、本発明によるバイアス電流発生回路の第2の実施例を示す回路図である。図10において、 R_1 、 R_5 は抵抗を、 V_{dd} は正の電源を、GNDはGND端子を、NM3からNM7はNMOSトランジスタを、PM1、PM2、PM5、PM12はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位を、21はNMOSトランジスタのバイアス電位を、34、36は内部のノードを、EN、ENXは制御信号を示す。図10において、図7と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。

【0103】

図10のバイアス電流発生回路の動作は、図7の回路の動作と略同じであるので、詳細な説明は省略する。以下に、図7の回路と異なる点について説明する。

【0104】

図7の回路では、NM3及びNM4の W/L 比と、抵抗 R_1 の抵抗値で電流を設計したが、PM2及びPM1の W/L 比と抵抗 R_1 の抵抗値で電流を設計することも可能である。PM1をPM2の例えば6倍の大きさに設計することにより、PM2とPM1とで同一の電流が流れるときのゲート・ソース間電圧が異なり、この差電圧が抵抗 R_1 に加わることになる。このようにして電流の値を図7の回路と同様にして設計することができる。

【0105】

図11は、本発明のバイアス電流発生回路の他の回路例を示す図である。

【0106】

図11において、 R_1 、 R_5 は抵抗を、 V_{dd} は正の電源を、GNDはGND端子を、NM3、NM4、NM7、NM9はNMOSトランジスタを、PM1、PM2、PM7、PM8、PM12はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位を、21はNMOSトランジスタのバイアス電位を、35、37は内部のノードを、EN、ENXは制御信号を示す。図11において、図7と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。

【0107】

図11の回路は、図7及び図10のバイアス電流発生回路と略同じ動作をする。図7の回路と異なる点はスタートアップ回路である。以下に、スタートアップ回路の動作を中心として図11の回路について説明する。ここで制御信号ENはHであり、制御信号ENXはLとする。

【0108】

PM1、PM2、NM3、NM4、 R_1 により構成されるループで電流を決定することは図7の回路と同じである。全電流が0である望ましくない動作点で回路が安定しないように、PM7、PM8、 R_5 、NM9でスタートアップ回路が構成される。全ての電流が0のときには、PMOSトランジスタのバイアス電位10は V_{dd} 、NMOSトランジスタのバイアス電位21はGNDとなる。このときPM7はOFFしているので、NM9及び抵抗 R_5 に流れる電流により、ノード37の電位はGNDとなる。ノード37の電位がGNDになると、PM8がONし、NM3に電流が流れ始める。NM3に電流が流れ始めると、NM4にも電流が流れ始め、回路は安定点に到達する。

【0109】

PM1、PM2、NM3、NM4、R1に電流が流れ始めると、PM7にも電流が流れる。これによりノード37の電位はV_{dd}電位程度となり、PM8がOFFし、スタートアップ回路が、PM1、PM2、NM3、NM4、R1により構成されるループから切り離される。

【0110】

図11の回路においても、低消費電力化のためには、NM9及び抵抗R5に流れる電流を小さく設定する必要がある。NM9および抵抗R5に流れる電流を小さく設定するためには、抵抗R5の抵抗値を十分大きくすればよい。このように回路を構成することで、拡散抵抗とMOSトランジスタの直列抵抗値を拡散抵抗の抵抗値で決定することができ、MOSトランジスタのW/Lを大きく設計することができる。MOSトランジスタのW/Lを大きくすることで、狭チャネル効果による閾値電圧V_{th}の上昇を避け、低電圧動作が可能となる。

【0111】

このように図11では、図5及び図7のスタートアップ回路に対して、NMOSトランジスタとPMOSトランジスタとの役割を入れ替えることで、スタートアップ回路を構成している。

【0112】

図12は、本発明によるバンドギャップ回路の更に別の実施例の構成を示す回路図である。

【0113】

図12の回路は、図5の回路と略同様の動作をするが、電流源となるMOSトランジスタをカスコード接続とした構成を採用することで、電源電圧依存性の改善を図っている。

【0114】

図12において、Q3はpnpバイポーラトランジスタを、R1、R2、R5、R8、R9は抵抗を、V_{ref}は出力基準電位を、V_{dd}は正の電源を、GNDはGND端子を、NM3からNM8、NM10、NM11はNMOSトランジスタを、PM1からPM3、PM5、PM9、PM10、PM11、PM12はPMOSトランジスタを、10、12はPMOSトランジスタのバイアス電位を、21、22はNMOSトランジスタのバイアス電位を、33から35は内部のノードを、EN、ENXは制御信号を示す。

【0115】

例えば、PM1、PM2、PM3のW/L (W:ゲート幅、L:ゲート長) は等しく、PM9、PM10、PM11のW/L及びNM10とNM11のW/Lも等しいとする。またNM3とNM4のW/L比を例えば1:6とする。NM3とNM4とはサブスレッショルド領域で動作するように設計される。

【0116】

制御信号ENがLであり制御信号ENXがHのとき、図5の構成の場合と同様に、回路が停止した状態になる。また制御信号ENがHであり制御信号ENXがLのときには、回路は通常の動作となる。この状態での動作について説明する。ENがH及びENXがLであるから、PM12、NM7、NM8はOFFとなり図12の回路の動作には関係しない。またPM5はONとなっている。

【0117】

図12の回路では、PM1、PM2のゲート電極が共通、PM9、PM10のゲート電極が共通、NM10、NM11のゲート電極が共通であるので、PM1、PM2、PM9、PM10、R8、R9、NM10、NM11、NM3、NM4、R1に流れる電流は等しくなる。NM3、NM4に流れる電流が等しく、NM3、NM4のW/L比が1:6であることから、抵抗R1の両端の電位差V_{R1}は、図5の回路同様、前述の式(7)で表わされる。従って、PM1、PM2に流れる電流I_pも、図5の回路と同じく、式(8)となる。

【0118】

ここで電流が式(8)で表わされるような状態になるためには、PM1、PM2、PM9、PM10、NM10、NM11、NM3、NM4のそれぞれのドレイン・ソース間電圧が実効ゲート電圧($V_{gs} - V_{th}$ 、 V_{th} は閾値電圧)より大きい必要がある。この条件を満たすように、PM1、PM2、PM9、PM10、NM10、NM11、NM3、NM4のサイズ、抵抗R8、R9、R1の値が設計される。これは、式(8)の電流が流れた際の抵抗R8、R9での電圧降下が、例えばそれぞれ0.2Vとなるように設計することで達成される。

【0119】

PM9、PM10のゲート電圧は、例えば、PM1、PM2のゲート電圧より0.2V低い電位となるので、PM1、PM2、PM9、PM10のサイズが同じであっても、PM9、PM10のソース電位はV_{dd}より0.2V低い電位となる。このドレイン電圧でPM1、PM2のドレイン電流が飽和領域において動作するようにサイズを決定すればよい。PM1、PM9のサイズ比は1:1であってもよいし、PM1よりPM9を4倍大きくしても、或いは逆にPM9よりPM1を4倍大きくしてもよい。これらカスコード回路自体は一般的な回路であり、望まれる特性を実現するようにサイズを適宜設計することができる。

【0120】

同様に、NM10、NM11のゲート電位も、抵抗R8によりNM3、NM4のゲート電位より例えば0.2V高い電位に設計できるので、NM10、NM3、及びNM11、NM4のカスコード回路を実現することができる。このようにカスコード回路を用いることで、MOSトランジスタのチャネル長変調効果による電源電圧依存性を緩和することができる。

【0121】

図12の回路では、式(8)の電流を発生するバイアス電流発生部分をカスコード回路としたので、電圧発生部分のPMOSトランジスタ、PM3、PM11もカスコード回路としている。発生されるバイアス電流値自体は図5の回路と同じであるので、基準電圧V_{ref}の値は図5の回路の場合と同一となる。

【0122】

図12の回路は、カスコード回路を用いた構成とすることで、図5の回路に比較して電源電圧依存性の改善を図っている。

【0123】

図13は、図12の回路の電源電圧V_{dd}と基準電圧V_{ref}の特性の一例を示す図である。図13に示すのは、温度が-40℃、25℃、100℃の場合のものである。

【0124】

温度の変化に対して出力電位V_{ref}は変化せず、バンドギャップ回路としての動作を示していることが分かる。またカスコード回路としたことにより、図5の回路に比較して、電源電圧依存性が改善されていることが分かる。なお図12の回路では、約1.2Vの電源電圧から回路が動作することが分かる。これは、カスコード回路としたことによりバイアス電流発生部分の最低動作電圧は上昇するが、電流発生部分の動作電圧が1.2Vより低い場合には、最終的な回路の動作電圧は電圧発生部分の電圧1.2Vで制限されるためである。

【0125】

以上の説明においては、図5の構成に対してカスコード回路を適用する場合について説明したが、例えば、PMOS側だけ或いはNMOS側だけをカスコード回路としてもよい。また図7、図8、図10、図11の構成にも同様にカスコード回路を適用できることはいうまでもない。

【0126】

図14は、本発明による低電圧検出回路の構成の一例を示す図である。また図15は、図14の回路の動作特性を説明するための図である。

【0127】

図14の回路は、図5の回路が生成する基準電圧 V_{ref} を利用して、電源電圧の値が所定値より小さくなったことを検出し、所定値より電源電圧が低くなった場合にリセット信号を出力する回路として機能する。電源電圧の値が所定値より大きくなるとリセット信号は解除される。また図14の回路は、基準電圧を発生する図5の回路が十分動作しないような低い電圧の場合であっても、適切にリセット信号 RST を出力できるように構成されている。

【0128】

図14において、 $C1$ は容量を、 $R10$ 、 $R11$ 、 $R12$ 、 $R13$ は抵抗を、 V_{ref} は基準電位を、 V_{dd} は正の電源を、 GND は GND 端子を、 v_{div1} は抵抗により分圧された電源電圧を、 $NM12$ から $NM19$ はNMOSトランジスタを、 $PM13$ から $PM20$ はPMOSトランジスタを、 10 はPMOSトランジスタのバイアス電位を、 21 はNMOSトランジスタのバイアス電位を、 40 から 42 は内部のノードを、 EN 、 ENX は制御信号を、 RST 、 $RSTX$ 、 $RST2$ は出力されるリセット信号を、 $sch1$ はシュミット回路を示す。図5の回路により基準電圧 V_{ref} を発生し、図14の回路に供給する。

【0129】

図15は、横軸に電源電圧 V_{dd} を示し、縦軸に図14の各部の電位（基準電圧 V_{ref} 、 v_{div1} 、 RST ）を示した図である。横軸のフルスケールは1秒に相当し、電源電圧を0Vから4Vに上げ、その後4Vから0Vに下げたときの動作に対応する。横軸は1秒の時間に相当するが、分かりやすくするために、対応する電源電圧 V_{dd} を目盛りとしている。

【0130】

図5の回路により基準電圧 V_{ref} を発生して図14の回路に供給しているので、基準電圧 V_{ref} と電源電圧 V_{dd} との関係は、図6と略同一となっている。電源電圧 V_{dd} を0Vから4Vに上げていくと、電源電圧が1Vを超えるあたりから、図5の基準電圧発生回路が動作を始める。電源電圧が1.2Vを超えると、基準電圧 V_{ref} は略1.2Vとなる。

【0131】

図14の制御信号 EN 及び ENX は回路停止のための信号であり、 EN がL、 ENX がHのときに回路が停止する。通常の動作時には、 EN がH、 ENX がLに設定される。まずこの状態における通常の動作について説明する。

【0132】

$PM20$ 、抵抗 $R10$ 、 $R11$ 、 $R12$ は、電源電圧 V_{dd} を抵抗により分割して、 v_{div1} を発生する分圧回路として働く。 $PM20$ は回路を停止する場合に定常電流が流れないように制御するためのスイッチとして機能する。抵抗 $R10$ 、 $R11$ の比は、検出しようとしている電圧によって決まり、図14の例では、抵抗 $R10$ ： $R11$ =1：2.2としている。これにより、（ $NM18$ がONの場合）、 v_{div1} の電位= $2.2V_{dd}/3.2=0.69V_{dd}$ となる。この分圧電位が1.2Vとなる電源電位は、1.74Vなので、この電圧 v_{div1} と、基準電圧1.2Vを比較することで、電源電圧の値がある値（1.74V）より大きい小さいかを検出することができる。電源電圧がある値より小さい場合には、回路が誤動作する可能性があるため、このような低電圧検出回路により、電源電圧の低下を検出して、リセット信号を発生することが行なわれる。

【0133】

信号 RST はこの目的のための信号であり、 RST がHのとき、電源電圧が所定の値より小さいことを示す。

【0134】

抵抗 $R12$ と、 $NM18$ は、検出電圧付近で、出力 RST が振動しないように、ヒステリシス特性を、回路に与えるための素子である。電源電圧 V_{dd} が所定の値より小さい場合、 RST がHとなっており、 $NM18$ はONしている。電源電圧が上昇して、 RST がLに変化すると、 $NM18$ がOFFし、分圧出力 v_{div1} の電位が上昇する。いったんR

STがLに変化すると、抵抗R10、R11、R12で決まる分圧電圧（NM18がONの場合より大きい）が基準電位Vrefより小さくなるまで、RSTがHに変化することはない。

【0135】

図14の例では、抵抗R10：R11：R12=1：2.2：0.47とした。NM18がONの場合（NM18のON抵抗は十分小さいとする）、vdiv1の電位=0.69Vddに対して、NM18がOFFの場合、vdiv1の電位=2.67Vdd/3.67=0.73Vddとなる。それぞれの場合について、vdiv1の電位が1.2Vとなる電源電圧は1.74V及び1.64Vとなり、0.1Vのヒステリシス特性を与えることができる。

【0136】

PM15、PM16、PM17、PM18、NM13、NM14、NM12、NM16、NM17、抵抗R13は、基準電位Vrefと、分圧された電源電圧vdiv1とを比較する比較回路として働く。NM12は、差動回路NM13、NM14のテイル電流源として働く。ゲートバイアスは、図5のNMOSTランジスタのバイアス電位21から供給することができる。

【0137】

ENがH、ENXがLとなっている場合、PM20のゲート電位は0Vとなっている。図14の回路の電源電圧Vddを0Vから4Vに上げると、分圧された電源電圧vdiv1の波形は、図15のような特性となる。電源電圧Vddが小さい領域では、vdiv1の電位は略0Vとなって、正しく分圧された電圧がvdiv1に出力されない。これは、PM20のゲート電位が0Vとなっても、電源電圧VddがPM20の閾値電圧より低い場合、PM20が十分にONしないためである。

【0138】

以下において更に、電源電圧Vddが1V未満で、vdiv1、基準電位Vrefがともに0V付近の電位の場合について説明する。

【0139】

vdiv1、基準電位Vrefがともに0V付近の場合、NM12のゲート電位によらず、NM13、NM14はOFFとなる。従って、NM13、NM14に電流は流れず、差動回路の負荷回路PM15、PM16に電流は流れない。また、PM15、PM16に電流が流れないので、PM17、PM18にも電流が流れない。PM17に電流が流れないので、NM16、NM17に電流は流れない。PM18、NM17がともにOFFの状態なので、比較回路出力RSTの電位は抵抗R13によって定まり、出力RSTの電位はVddとなる。

【0140】

電源電圧Vddが1Vを超えて、1.2V程度となると、基準電位Vrefが1.2Vとなる。電源電圧が十分大きくなく、基準電位Vrefが、設計電圧1.2Vに到達せず、また、分圧電圧vdiv1の値が、抵抗R10：R11=1：2.2の分圧比で定まる値に到達していない状態での図14の回路の動作について説明する。

【0141】

図14の回路と図5の回路とを組み合わせると、図15に示すように、基準電位Vrefが、vdiv1より先に高い電位となる特性を実現できる。

【0142】

何故ならば、図5のPM1、PM2、PM3のサイズと、図14の回路のPM20のサイズを同じ程度としておくと、電源電圧VddがPMOSTランジスタの閾値電圧付近のときに、PM1、PM2、PM3、PM20に流れる電流は同じ程度の値となる。ところで、基準電位Vrefの電位と電流との関係は、Q3により指数の関係となる（PM3に流れる電流が小さくなくても、ダイオードの電位ノード33は急激には小さくならず、電流が1桁減少しても60mVしか減少しない）。一方、分圧電圧vdiv1と、PM20に流れる電流との関係は略比例関係である（PM20に流れる電流が小さい場合、vdi

v1の電位は流れる電流に比例する)。

【0143】

このため、電源電圧が小さく、回路に流れる電流が小さい場合、基準電位 V_{ref} が設計電圧 1.2 V に到達していなくても、基準電位 V_{ref} は、分圧電圧 v_{div1} より大きい電位とできる。

【0144】

基準電位 V_{ref} が、分圧電圧 v_{div1} より大きい電位となっているので、NM13、NM14 に電流が流れ始めると、NM13 より NM14 に大きな電流が流れ、PM15 より PM16 に大きい電流が流れる。PM15 より PM16 に大きい電流が流れるので、PM17 より PM18 に大きい電流が流れる。PM17 の電流は、NM16 に流れ、(NM16、NM17 は同じサイズとする。) NM17 にも同じ電流が流れる。PM18 の電流は、NM17 の電流より大きいので、出力 RST の電位は V_{dd} となる。

【0145】

このように、比較回路 (PM15、PM16、PM17、PM18、NM13、NM14、NM12、NM16、NM17、抵抗 R13) と、基準電位発生回路、電圧分割回路 (PM20、抵抗 R10、R11、R12) とを工夫することで、基準電圧発生回路が所望の基準電位を発生できないような低い電源電圧の場合でも、リセット信号 RST の電位を正しく V_{dd} に設定できる。

【0146】

電源電圧が十分大きくなり、基準電位 V_{ref} が設計電圧 1.2 V に到達し、また分圧電圧 v_{div1} の値が、抵抗 $R10 : R11 = 1 : 2.2$ の分圧比で定まる値に到達した後は、比較回路 (PM15、PM16、PM17、PM18、NM13、NM14、NM12、NM16、NM17、抵抗 R13) は通常の差動回路として動作する。NM17 が ON したときには、RST の電位を L とできるよう、抵抗 R13 の抵抗値と NM17 の電流値を設計することはいうまでもない。

【0147】

電源電圧が十分大きくなり、基準電位 V_{ref} が設計電圧 1.2 V に到達し、また分圧電圧 v_{div1} の値が、抵抗 $R10 : R11 = 1 : 2.2$ の分圧比で定まる値に到達した場合の動作について以下に説明する。

【0148】

基準電位 V_{ref} が、分圧電圧 v_{div1} より大きい電位の場合、NM13 より NM14 に大きな電流が流れ、PM15 より PM16 に大きい電流が流れる。PM15 より PM16 に大きい電流が流れるので、PM17 より PM18 に大きい電流が流れる。PM17 の電流は、NM16 に流れ、(NM16、NM17 は同じサイズとする。) NM17 にも同じ電流が流れる。PM18 の電流は、NM17 の電流より大きいので、出力 RST の電位は V_{dd} となる。

【0149】

分圧電圧 v_{div1} が基準電位 V_{ref} より大きい電位の場合、NM14 より NM13 に大きな電流が流れ、PM16 より PM15 に大きい電流が流れる。PM16 より PM15 に大きい電流が流れるので、PM18 より PM17 に大きい電流が流れる。PM17 の電流は NM16 に流れ (NM16、NM17 は同じサイズとする。)、NM17 にも同じ電流が流れる。PM17 の電流は、NM18 の電流より大きいので、出力 RST の電位は GND となる。

【0150】

図15のように電源電圧の変化が緩やかな場合は、上に説明したように、分圧電圧 v_{div1} と基準電位 V_{ref} との関係により、リセット信号 RST を発生することができる。一方、電源電圧が急激に変化した場合、例えば電源電圧が急激に 0 V から 3 V にステップ状に変化した場合でも、回路を初期化するためのリセット信号が要求される (パワーオンリセット信号)。

【0151】

図14の回路は、このような場合でもリセット信号を発生できるように構成されている。

【0152】

パワーオンリセット信号は、電源の投入時に回路を初期化するために用いられる。従って、電源電圧が回路を初期化できる程度のある規定の値に達している状態で、リセット信号を発生することが求められる。例えば電源電圧 V_{dd} が 0 V から 3 V にステップ状に変化した場合でも、暫くの間、リセットを示す状態に信号がとどまるよう回路を構成すればよい。

【0153】

PM19と容量C1、NM19はこのための回路であり、電源電圧 V_{dd} が 0 V から 3 V にステップ状に変化した場合でも、RSTXの電位は、容量C1とPM19の電流とで決まる時間をかけて V_{dd} に充電される。RSTXの電位は、GNDのときリセット状態を示す。充電の時定数は、図5の基準電圧回路が電源投入から動作し始めるまでの時間程度とすればよい。バンドギャップ回路が動作を始めると、基準電位 V_{ref} が設計電圧 1.2 V になるので、分圧電圧 v_{div1} との大小関係により RST の電位が定まる。

【0154】

図14の回路では、10の電位をゲートに与えたPM19によりRSTXを充電する例を示したが、抵抗により充電してもよい。PM19を使う利点は、RSTXの充電時間を大きくしたい場合に、大面積の抵抗を使用する必要が無く、PM19が小面積ですむ点である。但し、バイアス電位10を発生する例えば図5の回路において、スタートアップ回路BLK2が動作している期間はNM5に大きな電流が流れ、この電流がバイアス10の電位を定常状態より低い電位にしてしまうことがある。この状態で図14のC1が充電される可能性があるので、これが問題とならない用途では、図14のようにPM19を用いればよい。またバイアス電位10の発生回路が定常状態になっていない時のC1の充電電流を正確に設計する必要がある場合には、PM19を抵抗で置き換えることが望ましい。

【0155】

RSTXの充電時間はリセットの解除、つまり回路の動作の開始を意味するので、多少時間が長くても実用上は支障がない場合が多い。一方、電圧が低下してきた場合には、回路の誤動作を避けるために短い時間で電圧の低下を検出する必要がある。そこで図14の回路では、電源電圧が低下して、RSTがHになった場合には、NM19により迅速にRSTXが放電される構成となっている。

【0156】

またリセット信号RSTXは、シュミット回路により更に波形整形される。

【0157】

なお上記説明では、図14の回路を、図5のバンドギャップ回路と組み合わせて使用するものとしたが、本発明の他の構成のバンドギャップ回路或いは従来のバンドギャップ回路と組み合わせてもよい。

【0158】

図16は、本発明によるバンドギャップ回路の更に別の実施例を示す回路図である。

【0159】

図16の回路は、図12の回路と略同様の動作をする。図12のバンドギャップ回路との差異を中心に、図16のバンドギャップ回路について説明する。

【0160】

図16において、Q3はpnpバイポーラトランジスタを、R1、R2、R5は抵抗を、 V_{ref} は出力基準電位を、 V_{dd} は正の電源を、GNDはGND端子を、NM3からNM8、NM10、NM11、NM21、NM22、NM23はNMOSTランジスタを、PM1からPM3、PM5、PM9、PM10、PM11、PM12、PM21、PM22、PM23はPMOSTランジスタを、10、12はPMOSTランジスタのバイアス電位を、21、22はNMOSTランジスタのバイアス電位を、33から35は内部のノードを、EN、ENXは制御信号を示す。図16において、図8と同一の機能を有する

素子及び対応するノードは、同一の符号で参照する。

【0161】

図16の回路は、カスコード回路のバイアス電位22、12の発生の方法が図12の回路の場合と異なる。以下に、図16の構成におけるカスコード回路のバイアス電位22、12の発生の方法について説明する。

【0162】

図12の回路では抵抗R9により、PMOSトランジスタのバイアス電位10から抵抗値R9と電流量とで定まる低い電位12を発生している。これに対して、図16の回路では、PM21に、NM21、NM22で電流を流し、これにより決まるゲート、ソース電位を発生し、これをバイアス電位12としている。

【0163】

また図12の回路では、抵抗R8により、バイアス電位21から抵抗値R8と電流量で定まる高い電位22を発生している。これに対して、図16の回路では、NM23に、PM22、PM23で電流を流し、これにより決まるゲート、ソース電位を発生し、これをバイアス電位22としている。

【0164】

このとき、PM21のW/Lを、PM1、PM2、PM3、PM9、PM10、PM11、PM22、PM23のそれより小さく設計しておけば、バイアス電位12の値を、バイアス電位10の値より必要なだけ低く設定することができる。またNM23のW/Lを、NM3、NM4、NM10、NM11、NM21、NM22のそれより小さく設計しておけば、バイアス電位22の値を、バイアス電位21より必要なだけ高く設定することができる。

【0165】

また図16の回路では、PM21により、バイアス電位10とは独立にバイアス電位12を発生する。これに対応して、スタートアップ電流をPM21に流すためのNMOSトランジスタとしてNM20が付加されている。

【0166】

図17は、本発明によるバンドギャップ回路の更に別の実施例を示す回路図である。

【0167】

図17の回路は、図16の回路と略同様の動作をする。図16のバンドギャップ回路と図17のバンドギャップ回路が異なる点を中心に説明を進める。

【0168】

図17において、Q3はpnpバイポーラトランジスタを、R1、R2、R5、R14、R15は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、NM3からNM8、NM10、NM11、NM21、NM22、NM23はNMOSトランジスタを、PM1からPM3、PM5、PM9、PM10、PM11、PM12、PM21、PM22、PM23はPMOSトランジスタを、10、12はPMOSトランジスタのバイアス電位を、21、22はNMOSトランジスタのバイアス電位を、33から35は内部のノードを、EN、ENXは制御信号を示す。図17において、図16と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。

【0169】

図17の回路は、カスコード回路のバイアス電位22、12の発生の方法が、図16の回路と異なる。以下に、図17の構成におけるカスコード回路のバイアス電位22、12の発生の方法を説明する。

【0170】

図16の回路では、W/Lを小さく設計したPM21により、バイアス電位12を発生していた。図17の回路では、PM21のW/Lを、PM1、PM2、PM3、PM9、PM10、PM11、PM22、PM23のW/Lと同程度としても、抵抗R14を設けることにより、バイアス電位12の電位をバイアス電位10の値より所望の値だけ低く設計することができる。

【0171】

また図15の回路では、 W/L を小さく設計したNM23により、バイアス電位12を発生していた。図17の回路では、NM23の W/L を、NM3、NM4、NM10、NM11、NM21、NM22の W/L と同程度としても、抵抗R15を設けることにより、バイアス電位22の電位をバイアス電位21の値より所望の値だけ高く設計することができる。

【0172】

抵抗R15とNM23とを直列に接続し、そこに電流を流すことによりカスコードバイアス22を発生すると、22の電位の温度依存性を任意に設計できるという利点が生れる。ゲート・ソース間電圧の温度依存性は負の依存性であるのに対して、PTAT電流を抵抗に流した電位差は正の温度依存性を持つからである。

【0173】

図17の回路のノード35の電位は(絶対)温度に比例して大きくなる(回路のバイアス電流は絶対温度に比例するPTAT電流となるためである)。仮に、NM4のドレイン電位が温度によらず一定とすると、NM4のドレイン・ソース間の電位差は温度の上昇に伴って減少する特性となる。理想的には、NM4のドレイン・ソース間の電位差がある程度大きければ、回路に流れる電流はPTAT電流となるが、現実のMOSトランジスタの電流は、ドレイン・ソース間の電位差の影響も受ける。温度が上昇したときに、NM4のドレイン・ソース間電位差の減少が大きいと、実際に流れる電流が理想的なPTAT電流よりも減少してしまう。これを防いで正確なPTAT電流を発生し、基準電位の精度を確保するためには、NM4のドレイン・ソース間の電位差が温度上昇により大幅に減少しないようにすることが必要となる。ノード35の電位は温度に比例して大きくなるので、NM4のドレイン電位も温度上昇に伴って、大きくなる特性が望ましい。このため、カスコードバイアス22は、理想的なNM4のドレイン電位にNMOSトランジスタの閾値電圧を加えた電位となるように設計することが望ましい。つまり、ゲート・ソース間電圧の温度依存性とPTAT電流の温度依存性とを考慮して、カスコードバイアス22を発生することにより、より正確なPTAT電流ひいては基準電圧を発生することが可能となる。

【0174】

以上説明したように、図17の本発明の回路では、カスコードバイアス22の温度依存性を自由に設計できるので、NM11のソース電位の温度特性も自由に設計でき。従って、絶対温度に比例する電流を発生するMOSトランジスタNM4のドレイン・ソース間の電位差の温度特性を、任意に設計できる。つまり、NM4のドレイン・ソース間の電位差をカスコードバイアス22の温度依存性により微調整でき、バイアス電流の温度依存性を所望の特性に微調整できるという利点がある。

【0175】

図18は、本発明によるバンドギャップ回路の別の実施例を示す回路図である。

【0176】

図18の回路は、図16及び図17の回路と略同様の動作をする。図18のバンドギャップ回路と図16のバンドギャップ回路が異なる点を中心に説明を進める。

【0177】

図18において、Q3はpnpバイポーラトランジスタを、R1、R2、R5、R8は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、NM3からNM8、NM10、NM11、NM21、NM22はNMOSトランジスタを、PM1からPM3、PM5、PM9、PM10、PM11、PM12、PM21はPMOSトランジスタを、10、12はPMOSトランジスタのバイアス電位を、21、22はNMOSトランジスタのバイアス電位を、33から35は内部のノードを、EN、ENXは制御信号を示す。図18において、図12、図16、図17と同一の機能を有する素子及び対応するノードは、同一の符号で参照する。

【0178】

図18の回路は、カスコード回路のバイアス電位22、12の発生の方法が、図16の

回路と異なる。以下に、図 18 の構成におけるカスコード回路のバイアス電位 22、12 の発生方法を説明する。

【0179】

図 16 の回路では、 W/L を小さく設計した PM21 により、バイアス電位 12 を発生していた。図 18 の回路でもこの点は同様であるが、NMOS トランジスタのバイアス電位の発生方法が異なる。図 18 の回路では、図 12 の回路と同様に、抵抗 R8 によりバイアス電位 22 を発生している。この例のように、図 12 の回路のバイアス発生方法と図 16 の回路又は図 17 の回路のバイアス発生方法とを組み合わせることも可能である。

【0180】

NMOS トランジスタのカスコードバイアス 22 の発生回路の利点は、図 17 の回路の NMOS トランジスタのカスコードバイアス 22 の発生回路の利点と略同じである。

【0181】

図 18 の回路のカスコードバイアス 22 の電位は、NMOS トランジスタのバイアス電位 21 の電位を抵抗 R8 と PTAT 電流によりレベルシフトしたものである。その温度依存性は、ゲート・ソース間電圧の温度依存性に正の温度依存性を持つ抵抗 R8 での電圧降下を加えたものとなる。

【0182】

図 17 の回路の場合と同様に、温度が上昇したときに、NM4 のドレイン・ソース間電位差の減少が大きいと、実際に流れる電流が理想的な PTAT 電流よりも減少してしまう。これを防いで正確な PTAT 電流を発生し、基準電位の精度を確保するためには、NM4 のドレイン・ソース間の電位差が温度上昇により大幅に減少しないようにすることが必要となる。ノード 35 の電位は温度に比例して大きくなるので、NM4 のドレイン電位も温度上昇に伴って、大きくなる特性が望ましい。このことから、少なくとも温度上昇に伴ってカスコードバイアス 22 の電位が上昇する特性としておけば、NM4 のドレイン・ソース間の電位差が温度上昇により減少しない特性とできる。これにより、より正確な PTAT 電流ひいては基準電圧を発生することが可能となる。

【0183】

一方、PMOS トランジスタのバイアス電位は、回路全体のバイアス電流 (PTAT 電流) を決定するためのものではなく、カレントミラーとして動作しさえすればよい。このことから、PMOS トランジスタのカスコードバイアス 12 の発生回路は、占有面積、消費電力、最低動作電圧の観点から最適なものを選択すればよい。図 12 の回路のように、PMOS トランジスタのカスコードバイアス 12 の発生にも抵抗 R9 によるレベルシフトを用いると、消費電力の点では有利だが最低動作電圧、面積の点で不利となる。

【0184】

図 18 の回路では、できるだけ面積を削減して最低動作電圧を下げるために、PTAT 電流精度及び基準電圧精度に与える影響が小さい PMOS トランジスタのカスコードバイアス 12 の発生回路では、抵抗 R9 によるレベルシフトを用いずに、図 16 と同様の回路としている。また PMOS トランジスタのカスコードバイアス 12 を、 W/L の小さい PMOS トランジスタ PM21 で別に発生する。これにより、絶対温度に比例する電流を発生する NM4 のカスコードトランジスタ NM11 のドレイン・ソース間の電位差が、温度上昇に伴って減少することを避けている。このこともまた、PTAT 電流精度劣化の防止に寄与する。

【0185】

以上説明したように、図 18 の本発明の回路では、カスコードバイアス 22 の発生だけ抵抗 R8 によるレベルシフトを用い、PMOS トランジスタのカスコードバイアス 12 の発生は、 W/L の小さい PMOS トランジスタ PM21 で別に発生することで、PTAT 電流の精度を確保している。

【0186】

図 19 は、本発明による低電圧検出回路の別の実施例を示す回路図である。

【0187】

図19の回路は、図12、図16、図17、図18の回路の基準電圧 V_{ref} を利用して、電源電圧の値が所定値より小さくなったことを検出し、所定値より電源電圧が低くなった場合にリセット信号を出力する回路として働く。図19において、図14と同一機能の素子及び対応するノードは同一の参照番号で参照する。

【0188】

図19において、 $C1$ は容量を、 $R10$ 、 $R11$ 、 $R12$ 、 $R13$ 、 $R16$ は抵抗を、 V_{ref} は基準電位を、 V_{dd} は正の電源を、 GND は GND 端子を、 v_{div1} は抵抗により分圧された電源電圧を、 $NM12$ から $NM19$ 、 $NM24$ 、 $NM25$ はNMOSトランジスタを、 $PM13$ から $PM20$ はPMOSトランジスタを、 10 はPMOSトランジスタのバイアス電位を、 21 、 22 はNMOSトランジスタのバイアス電位を、 40 から 42 は内部のノードを、 EN 、 ENX は制御信号を、 RST 、 $RSTX$ 、 $RST2$ は出力されるリセット信号を、 $sch1$ はシュミット回路を示す。電源電圧が所定の値より小さい場合には RST の電位は V_{dd} となる。

【0189】

図19の回路は、図14の回路と殆ど同じであるが、図12、図16、図17、図18のようにカスコード回路を用いてバンドギャップ電圧を発生するのに対応して、分圧電圧 v_{div1} を発生する部分に構成上の違いがある。

【0190】

図14の回路では、分圧電圧 v_{div1} を発生するのに、 $PM20$ 、抵抗 $R10$ 、 $R11$ 、 $R12$ を用いていた。また $PM20$ のゲート電極には、制御信号 ENX が直接印加されていた。

【0191】

図19の回路では、抵抗 $R16$ と $NM24$ 、 $NM25$ により、 $PM20$ のゲート信号を発生している。このように、抵抗 $R16$ と $NM24$ 、 $NM25$ を用いて $PM20$ のゲート信号を発生することで、電源電圧が小さく基準電位 V_{ref} が設計電圧 $1.2V$ に到達していない場合であっても、基準電位 V_{ref} を確実に分圧電圧 v_{div1} より大きい電位とすることができる。

【0192】

例えば図16のバンドギャップ回路により V_{ref} を供給しているとする。

【0193】

図14の回路では、電源電圧 V_{dd} が $PM20$ の閾値電圧より低い場合、 $PM20$ のゲート電位が $0V$ となっていて、 $PM20$ が十分ONしないために分圧電圧 v_{div1} の電位は略 $0V$ となる。電源電圧 V_{dd} が $PM20$ の閾値電圧 V_{th} を超えると、 $PM20$ のON抵抗が下がり始めて、分圧電圧 v_{div1} の電位が上昇を始める。ところが、図15のバンドギャップ回路の V_{ref} が上昇しはじめる電源電圧は、MOSトランジスタの閾値電圧より大きい。何故ならば、カスコード回路のバイアス電位 22 及び 12 は、MOSトランジスタの閾値電圧より大きいためである。

【0194】

図14の回路と図16の回路とを組み合わせると、電源電圧が大きくなり、基準電位 V_{ref} が設計電圧 $1.2V$ に到達せず、また分圧電圧 v_{div1} の値が抵抗 $R10$ 及び $R11$ の分圧比で定まる値に到達していない状態で、分圧電圧 v_{div1} が基準電位 V_{ref} より大きくなる可能性がある。これが問題にならない応用では、図14の回路と図16の回路を組み合わせ使用してよいが、電源電圧が大きくなり、基準電位 V_{ref} が設計電圧 $1.2V$ に到達せず、また分圧電圧 v_{div1} の値が抵抗 $R10$ 及び $R11$ の分圧比で定まる値に到達していない状態で、基準電位 V_{ref} を分圧電圧 v_{div1} より大きい電位としたい場合は、図19の回路と図16の回路とを組み合わせればよい。

【0195】

バンドギャップ回路のバイアス電位 22 、 21 を $NM24$ 、 $NM25$ に加えることで、バンドギャップ回路のカスコード回路に流れる電流と同じ（或いは定数倍異なる）電流が、 $NM24$ 、 $NM25$ に流れる。バンドギャップ回路に流れる電流が十分最終値に近づい

た状態で、R16の電圧降下が大きくなるように設計しておけば、バンドギャップ回路に電流が流れるまで、PM20がONしないように構成できる。

【0196】

これにより、図16のバンドギャップ回路のバイアス電位22、21が大きくなりバンドギャップ回路が動作を開始してから、図19のPM20をONすることができる。従って、電源電圧が大きくなり、基準電位Vrefが設計電圧1.2Vに到達していない状態であっても、基準電位Vrefを確実に分圧電圧vdiv1より大きい電位とすることができる。

【0197】

図20は、本発明によるバンドギャップ回路の他の実施例を示す回路図である。

【0198】

図20の回路は、図12、図8の回路と略同様の動作をする。図7の回路の電流源となるMOSトランジスタを、図12の回路のようにカスコード接続としている。

【0199】

図20の回路の動作は、図12及び図8の回路の動作から容易に理解できるので、詳細な説明は省略する。図20の回路は、図8の回路と同様に、1.2V以外の電圧例えば0.6Vの電圧を発生できるよう構成されている。また図12の回路と同様に、カスコード接続を用いることで、基準電圧の電源電圧依存性の緩和を図っている。

【0200】

図21、図22、及び図23は、本発明による低電圧検出回路の他の実施例を示す回路図である。

【0201】

図21の基準電圧回路は図5の回路と同じ回路を、図22の基準電圧回路は図1の従来の基準電圧回路を部分的に利用した回路を、図23は、図21及び図22の基準電圧を利用して電源電圧を検出する低電圧検出回路を示している。

【0202】

図22の回路が図1の回路と異なる点は、PM30、NM29である。図22の回路が動作可能な電源電圧になった後は、PM30に電流が流れ、その電流に対応したバイアス電位をNM29によりノード21'に発生する。

【0203】

図21の基準電圧回路（バンドギャップ回路）は、図5の回路の説明で述べたように、低電圧動作に適している。一方、図22の基準電圧回路（バンドギャップ回路）は、pnpバイポーラトランジスタのエミッタ接合面積比でPTAT電流を発生するので、MOSトランジスタ特性の変動の影響を受けにくい利点がある。つまり図22の回路は、図21の回路に対して、最低動作電源電圧が大きい反面、基準電圧精度を確保しやすい利点がある。

【0204】

そこで図23の低電圧検出回路では、通常の電源電圧では精度の高い図22の回路の基準電圧Vref2を利用し、図22の回路が動作しなくなる電源電圧では図21の回路の基準電圧Vref1を利用する。このように2つの基準電圧回路を組み合わせることで、図22の回路の基準電圧出力の精度が高い特長と、図21の回路の最低動作電圧が低い特長とを兼ね備えた低電圧検出回路を実現している。

【0205】

図23の回路は、図21及び図22の回路の基準電圧Vref1及びVref2を利用して、電源電圧の値が所定値より小さくなったことを検出し、所定値より電源電圧が低くなった場合にリセット信号を出力する回路として機能する。電源電圧の値が所定値より大きくなるとリセット信号は解除される。また図23の回路は、基準電圧を発生する図21及び図22の回路が十分動作しないような低い電圧の場合であっても、適切にリセット信号RSTを出力できるように構成されている。

【0206】

図23において、C1は容量を、R11、R12、R13、R19、R20、R21は抵抗を、Vref1、Vref2は基準電位を、Vddは正の電源を、GNDはGND端子を、vdiv1、vdiv2は抵抗により分圧された電源電圧を、NM12からNM19、NM30からNM36はNMOSトランジスタを、PM13からPM18、PM20、PM31からPM37はPMOSトランジスタを、21、21'はNMOSトランジスタのバイアス電位を、40から42、40'、41'、42'は内部のノードを、EN、ENXは制御信号を、RST、RST'、RSTX、RST2は出力されるリセット信号を、sch1はシュミット回路を示す。

【0207】

図23の回路の構成及び動作は、図14の回路の構成及び動作と類似した部分が多いので、図14の回路と異なる点を中心に説明する。

【0208】

図23の上半分、C1、R11、R12、R13、R20、R21、Vref2、vdiv1、NM12乃至NM19、PM13乃至PM18、PM20は、図14の回路と殆ど同じ構成となっている。異なる点は、PM31とR19とを直列に接続してC1を充電する点、R11、R12、R13、R20、R21で構成される分圧回路で新たにvdiv2を発生する点、比較回路のテイル電流源NM12のバイアスが図22の回路で発生した21'となっている点、分圧電圧vdiv1と比較する対象が図22の回路で発生したVref2となっている点である。

【0209】

図22のEN、ENXは回路停止のための制御信号で、ENがL、ENXがHのときに回路が停止するようになっている。通常の動作時には、ENがH、ENXがLとなっているので、まず、この状態を説明する。

【0210】

図21の回路の最低動作電圧は1.3V、図22の回路の最低動作電圧は1.7V、基準電圧Vref1、Vref2は1.2V、図23の回路のリセットが解除される電圧は2.4V、図23の回路の分圧抵抗R20、R21、R11の比は、R20:R21:R11=4:1:5として説明する。

【0211】

抵抗R20、R21、R11は、電源電圧Vddを抵抗により分割して、vdiv1を発生する分圧回路として働く。図23の例では、(NM18がONの場合)、vdiv1の電位 $= (R11) Vdd / (R20 + R21 + R11) = Vdd / 2 = 0.5 Vdd$ となる。この分圧電位vdiv1が1.2Vとなる電源電位は、2.4Vなので、この電圧vdiv1と、基準電圧1.2V(Vref2)を比較することで、電源電圧の値がある値(2.4V)より大きい小さいかを検出することができる。

【0212】

信号RSTはこの目的のための信号で、RSTがHのとき、電源電圧が所定の値より小さいことを示す。抵抗R12と、NM18は、図14の回路と同様、検出電圧付近で、出力RSTが振動しないように、ヒステリシス特性を、回路に与えるための素子である。

【0213】

図23の回路の最低動作電圧を1.7Vとすると、バイアス電位21'、基準電圧Vref2は、電源電圧1.7V以下で不定となる可能性がある。このような場合にも確実にRSTXをLに固定できるよう、図23の下半分、Vref1、vdiv2、NM30からNM36、PM32からPM37で構成される回路部分が追加されている。図23の下半分、Vref1、vdiv2、NM30からNM36、PM32からPM37で構成される回路部分は、比較回路として動作し、その動作は、図14の回路の比較回路と略同じなので、比較回路としての動作の説明は省略し、図22の回路の最低動作電圧1.7V以下でRSTXを確実にLに固定するための工夫について説明する。

【0214】

NM30からNM36、PM32からPM37で構成される第2の比較回路は、図21

の回路の基準電圧出力 V_{ref1} と分圧電圧 v_{div2} を比較し、分圧電圧 v_{div2} が V_{ref1} より小さい場合には、NM36 を ON させて、分圧電圧 v_{div2} が V_{ref1} より大きい場合には、NM36 を OFF とする。NM36 を ON することで、RSTX を L に固定できる。

【0215】

NM18 が ON の場合、 v_{div2} の電位 = $(R21 + R11) V_{dd} / (R20 + R21 + R11) = (1 + 5) V_{dd} / (4 + 1 + 5) = (6) V_{dd} / (10) = 3 V_{dd} / 5 = 0.6 V_{dd}$ となる。この分圧電位 v_{div2} が 1.2 V となる電源電位は、2 V なので、この分圧電圧 v_{div2} と、基準電圧 1.2 V (V_{ref1}) を比較することで、電源電圧が 2 V 以下では、NM36 も ON することで、リセット出力 RSTX を L に固定する。これにより、図 22 の回路が動作していなくても、確実に、RSTX を L とできる。

【0216】

図 24 は、本発明によるオペアンプを用いたバンドギャップ回路の構成を示す回路図である。

【0217】

図 24 において、Q1、Q2 は pnp バイポーラトランジスタを、R1、R30、R30'、R31、R31' は抵抗を、 V_{ref} 、 V_{ref}' は出力基準電位を、 V_{dd} は正の電源を、GND は GND 端子を、PM1、PM2 は PMOS トランジスタを、10 は PMOS トランジスタのバイアス電位 (オペアンプ出力) を、30、31、32、50、51 は内部のノードを、OP1 はオペアンプを示す。図 24 において、図 4 の回路と同一の機能を有する素子及び対応するノードは同一の参照番号で参照する。

【0218】

図 24 の本発明の回路の動作を説明する。

【0219】

例えば、PM1、PM2 の W/L (W : ゲート幅、 L : ゲート長) は等しく、Q1 と Q2 の接合面積比を、例えば 1:6 とする。また、抵抗 R30 と R30' の抵抗値は等しく、抵抗 R31 と R31' の抵抗値は等しいとする。

【0220】

従来技術の説明でも述べたように、バイポーラトランジスタのベース・エミッタ間電圧又は p n 接合の順方向電圧を V_{be} で表わすと、p n 接合の順方向電圧と絶対温度 T の関係は、前述の式 (1) となることが知られている。

【0221】

またバイポーラトランジスタのエミッタ電流 I と電圧 V_{be} の関係は、前述の式 (2) となることが知られている。

【0222】

図 24 の回路では、PM1、PM2 のゲート電極が共通なので、PM1、PM2、Q1、Q2、R1、R30、R30'、R31、R31' に流れる電流は等しくなる。OP1 の負帰還作用により、ノード 50 と、51 の電位は略等しい電位となって回路が安定する。

【0223】

R30 と R30' の抵抗値は等しく、R31 と R31' の抵抗値は等しいので、同じ電流が流れた場合、R30 と R30'、R31 と R31' での電圧降下は等しくなる。

【0224】

また式 (2) に示されるように、バイポーラトランジスタのエミッタ電流と順方向電圧 V_{be} の関係は指数で表わされるので、電流が 1 桁変化してもその電圧は 60 mV しか変化しない。従って、Q1 と Q2 に、同じ電流を流したとき、30 の電位は、電流が変化してもほとんど変化しない。一方、31 の電位は、抵抗 R1 の電圧降下と Q2 の順方向電圧の和なので、電流が増加すると、略電流に比例して増加する。このため、電流が多い場合は、31 の電位は、30 の電位より高くなり、電流が小さい場合は、31 の電位は 30 の

電位より小さくなる。

【0225】

R31とR31'での電圧降下が等しいので、50の電位と51の電位の関係は、30の電位と31の電位と同様の関係となり、電流が多い場合は、51の電位は、50の電位より高くなり、電流が小さい場合は、51の電位は50の電位より小さくなる。

【0226】

この50の電位と51の電位をOP1の入力としているので、電流が多く、51の電位が50の電位より高い場合、オペアンプ出力10の電位は高くなり、PM1、PM2の電流が減少する。電流が小さく、51の電位が50の電位より小さい場合、オペアンプ出力10の電位は低くなり、PM1、PM2の電流が増加する。結局、ノード51と、50の電位は略等しい電位となって回路が安定する。

【0227】

51と50の電位が等しく、また、PM1、PM2の電流が等しいので、30と31の電位は等しくなる。つまり、抵抗R31'、R31は30、31の電位を+方向にレベルシフトするレベルシフト回路として働く。

【0228】

Q1とQ2の接合面積比が1:6であることから、抵抗R1の両端の電位差VR1は、前述の式(3)で表わされる。抵抗R1の両端の電位差VR1が式(3)で表わされるので、PM1、PM2に流れる電流Ipは、前述の式(4)となる。この電流が抵抗R30、R31に流れるので、抵抗R30、R31での電圧降下VR3031は、以下の式(11)で表わされる。

【0229】

$$VR3031 = (R3031 / R1) (kT / q) \ln(6) \quad (11)$$

(R3031:抵抗R30及びR31の直列合成抵抗値)

この抵抗R30及びR31での電圧降下VR3031と、Vbeの和が基準電圧Vrefとなる。pn接合の順方向電圧Vbeは温度の上昇にともなって減少する負の温度依存性を持ち(式(1))、抵抗R30及びR31での電圧降下VR3031が温度に比例して大きくなる(式(11))ので、適切に定数を選ぶことで、基準電圧Vrefの値が温度に依存しないように設計できる。そのときのVrefの値は、シリコンのバンドギャップ電圧に相当する約1.2Vとなる。図24のVrefとVref'は同じ電位となるので、何れを基準電位として用いてもよい。

【0230】

図24の構成において、図4の従来回路と異なる点は、図4の従来回路ではオペアンプOP1の入力をノード30、31の電位としていたのに対して、抵抗R31'、R31により30、31の電位を+方向にレベルシフトした電位、50、51をオペアンプOP1の入力としている点である。

【0231】

例えばVbeを0.6V、Vthを0.8Vとする。30、31の電位は0.6Vとなるので、この30、31の信号を直接NMOSトランジスタのゲート電極に入力しても、回路は動作しない。抵抗R31'、R31と流れる電流により、抵抗R31、R31の電圧降下を0.3Vとしたとする。これにより50、51の電位は、30、31の電位を+方向に0.3Vレベルシフトした電位となり、その電位は0.9Vとなる。NMOSトランジスタの閾値電圧Vthを0.8Vとすれば、NMOSトランジスタのゲート電極に入力することが可能となる。

【0232】

このときの各部の電位は、例えば、30、31の電位は0.6V、50、51の電位は0.9V、Vref、Vref'の電位は1.2Vとなる。温度に依存しない電位は、Vref、Vref'の電位1.2Vなので、50、51の電位は温度により変動する。温度に対して負の依存性を持つ30、31の電位と、温度に依存しないVref、Vref'の電位との中間の電位なので、50、51の電位は温度に対して負の依存性を持つ。但

しその依存性は30、31の電位の依存性より小さい。この温度変動を考慮して、動作温度範囲内でオペアンプが動作するように、50、51の電位を決定する。

【0233】

例えばオペアンプOP1の回路は、最も一般的には、図40に示すような回路を使用することが可能である。図40において、Vddは正の電源を、GNDはGND端子を、PM40、PM41はPMOSトランジスタを、NM40、NM41、NM42はNMOSトランジスタを、50、51はオペアンプの入力を、10はオペアンプの出力を、55は内部のノードを示す。なお図24の回路と対応する部分には同じ参照番号を与えて示した。オペアンプ入力端子51には図中+を、オペアンプ入力端子50には図中-を示した。51の電位が50の電位より高い場合には、10の電位は高くなり、51の電位が50の電位より低い場合には、10の電位は低くなる。

【0234】

図40のようなNMOSトランジスタ差動回路に図24の電位50、51を入力することで、50、51の電位は0.9Vでも動作させることが可能となる。NMOSトランジスタの閾値電圧Vthを0.8Vとすれば、ノード55の電位は0.1V程度とできるので、NM42を電流源として動作させることができ、差動回路として機能する。

【0235】

このように本発明の図24の回路では、最終的に30と31の電位を等しく制御することで、絶対温度に比例する電流を発生し、温度によらない基準電圧を得るという点では、図1の従来回路と動作原理は同じであるが、従来技術では、pnpバイポーラトランジスタのエミッタ30と対応するノード31を直接オペアンプの入力としていたのに対して、図24の回路では、抵抗R31'、R31でレベルシフトした点をオペアンプの入力とし、これにより低電圧動作を達成している。図24の回路では、回路の基本的な考え方を説明するために、細部を省略している。より詳細な回路図を図25に示す。

【0236】

図25において、Q1、Q2はpnpバイポーラトランジスタを、R1、R30、R30'、R31、R31'、R32は抵抗を、C10、C11は容量を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2、PM40からPM46はPMOSトランジスタを、NM40、NM41、NM42、NM43はNMOSトランジスタを、10はオペアンプ出力を、30、31、32、50、51、52、53、54、55、pgstは内部のノードを、ENは制御信号を、NB1はNMOSトランジスタのバイアス電位を示す。なお図23の従来回路、図24、図40の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。また図24のVref'は、図25の54に対応する。

【0237】

回路の基本的な考え方は、図24の説明で述べたので、図24では述べてない部分を説明する。

【0238】

図25の制御信号ENがHのとき通常の動作時となり、ENがLのときは回路が停止する。

【0239】

以下に、制御信号ENがHのときの動作を説明する。

【0240】

PM42、PM43、R32、C11、NM43はスタートアップ回路として働く。PM1、PM2に電流が流れていない場合、50、51の電位はGNDとなり、PM40、PM41、NM40、NM41、NM42で構成されるオペアンプが機能しなくなるので、スタートアップ回路がない場合、回路が起動しなくなる。これを避けるために、スタートアップ回路を設ける。

【0241】

PM1、PM2に電流が流れていない場合、ゲート電極10が共通のPM42にも電流

が流れない。ENがHなので、pgstの電位はGNDとなり、PM43に電流が流れる。PM43に電流が流れると、Vrefの電位が上昇し、50の電位も上昇する。51の電位がGND、50の電位が上昇するので、10の電位は下がりはじめ、PM1、PM2に電流が流れ始める。PM1、PM2に電流が流れると、オペアンプが機能し、ノード50と、51の電位は等しい電位となって回路が安定する。

【0242】

上記の安定状態に回路が達すると、PM42に電流が流れ、pgstの電位はVddとなりスタートアップ回路は切り離される。R32は回路が定常状態に達した後のPM42の電流を制限すると共に、pgstの電位をVddとするよう働く。またC11はノードpgstの時定数を調整するためのものである。C10は一般的な位相補償容量として機能する。

【0243】

図26は、オペアンプのテイル電流源NM42のバイアス電位NB1を発生する回路の一例を示す図である。

【0244】

図26において、Vddは正の電源を、GNDはGND端子を、PM47、PM48はPMOSトランジスタを、NM44、NM45はNMOSトランジスタを、10はPMOSトランジスタのバイアス電位（オペアンプ出力）を、pgstは内部のノードを、ENXは制御信号を、NB1はNMOSトランジスタのバイアス電位を示す。なお図25と対応する素子、ノードには同じ参照番号を与えた。

【0245】

図26の制御信号ENXがLのとき通常の動作時となり、ENXがHのときは回路が停止する。ENXがLのときの動作を説明する。

【0246】

図25で説明したように、回路のスタートアップ時には、ノードpgstがGNDとなっている。これによりPM48に電流が流れ、NM44によりNB1が発生され、図25のNB1に電位が供給され、オペアンプに電流が流れる状態とできる。回路が定常状態に達すると、pgstの電位は、Vddとなるので、PM48はOFFする。一方、図25の回路が定常状態に達すると、オペアンプ出力10の電位は、PM1、PM2に電流が流れる電位となるので、PM47に電流がながれ、NM44によりNB1が発生され、図25のNB1に電位が供給される。この図26の回路のように簡単な回路で、NMOSトランジスタのバイアス電位NB1を発生することが可能である。

【0247】

以上説明したように、図24、図25、図26の回路は、図4の従来回路ではオペアンプの入力をノード30、31の電位としていたのに対して、抵抗R31'、R31により30、31の電位を+方向にレベルシフトした電位、50、51をオペアンプの入力とし、オペアンプをNMOS差動回路とすることで、低電圧動作を達成している。

【0248】

オペアンプのテイル電流源NM42のバイアス電位NB1の発生回路の他の例を図27に示す。

【0249】

図27において、R1は抵抗を、Vddは正の電源を、GNDはGND端子を、PM90、PM91、PM4はPMOSトランジスタを、NM3からNM6はNMOSトランジスタを、NB1はNMOSトランジスタのバイアス電位を、PB1はPMOSトランジスタのバイアス電位を、34、35は内部のノードを示す。なお図3の従来回路等と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図を簡単にするために、回路の停止の制御のための素子は省略して図示した。

【0250】

図27の回路は図3の従来回路と同じ回路である。図3の回路により、NMOSトランジスタのバイアス電位NB1、PMOSトランジスタのバイアス電位PB1を発生するこ

とが可能である。この図 27 により NB1 を発生して、図 25 の回路の NB1 に電位を供給することができる。図 27 に限らず、図 7 の回路を用いてもよいこと、各種変形が可能なのは明らかであろう。

【0251】

図 28 は、図 25 と構成が異なるスタートアップ回路の一例を示す図である。

【0252】

図 28 において、Q1、Q2 は pnp バイポーラトランジスタを、R1、R30、R30'、R31、R31' は抵抗を、C10 は容量を、Vref は出力基準電位を、Vdd は正の電源を、GND は GND 端子を、PM1、PM2、PM40 から PM46 は PMOS トランジスタを、NM40、NM41、NM42、NM46 は NMOS トランジスタを、10 はオペアンプ出力を、30、31、32、50、51、52、54、55、pgst は内部のノードを、EN は制御信号を、NB1 は NMOS トランジスタのバイアス電位を示す。なお図 23 の従来回路、図 24、図 25 の回路と同じ働きをする素子、対応するノードには同じ符号を与えた。

【0253】

図 28 の回路は、スタートアップ回路の構成を除いて図 25 の回路と同一であるので、以下においてはスタートアップ回路の構成について説明する。

【0254】

制御信号 EN が H のときの動作を説明する。図 28 の回路の NB1 は、図 27 の回路により供給されるものとする。

【0255】

図 28 において PM1 及び PM2 に電流が流れていない場合、ゲート電極 10 が共通である PM42 にも電流は流れない。NM46 に NB1 が加わり NM46 に電流が流れているので、pgst の電位は GND となり、PM43 に電流が流れる。PM43 に電流が流れると、Vref の電位が上昇し、50 の電位も上昇する。51 の電位が GND、50 の電位が上昇するので、10 の電位は下がりはじめ、PM1、PM2 に電流が流れ始める。PM1、PM2 に電流が流れると、オペアンプが機能し、ノード 50 と、51 の電位は等しい電位となって回路が安定する。

【0256】

上記の安定状態に回路が達すると、PM42 に電流が流れて、pgst の電位は Vdd となり、スタートアップ回路は切り離される。NM46 に流れる電流より PM42 に流れる電流が大きくなるように設計しておくこと、pgst の電位を Vdd とすることが可能である。

【0257】

この図 28 に示すように、スタートアップ回路も本発明の趣旨を逸脱しない範囲で各種の変形が可能である。

【0258】

図 29 は、図 28 の発明の回路の電源電圧 Vdd と基準電圧 Vref の特性を示す一例である。図 29 に示すのは、温度が -40℃、25℃、125℃ の場合のものである。電源電圧 Vdd や温度によらず一定の基準電圧 Vref が得られることが分かる。

【0259】

前述のように、ノード 50 の電位は温度により変動し、温度の上昇に伴って減少する。但しその依存性は、30、31 の電位より小さい。この温度変動を考慮して、動作温度範囲内で、50、51 の電位を、オペアンプが動作するように決定することも既に説明した通りである。図 28 の回路では、基準電圧 Vref の値は約 1.2V であるので、電源電圧には約 1.2V 必要となり、図 29 に示されるように、約 1.2V の電源電圧から回路が動作することが分かる。

【0260】

図 30 は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0261】

図30において、Q1、Q2はpnpバイポーラトランジスタを、R1、R30、R30'、R31、R31'は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1はPMOSTランジスタを、10はPMOSTランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51は内部のノードを、OP1はオペアンプを示す。なお図24の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。

【0262】

図30の回路と図24の回路の違いを説明する。

【0263】

図24の回路では、PM1、PM2を別に設けて、それぞれ、Vref、Vref'に電流を流したが、最終的な安定状態では、理想的には、Vref、Vref'の電位は同じ電位となる。そこで、この2つのノードを1つのノードとしてもよい。図30の発明の回路は、図24のVref、Vref'を同一ノードとした回路例となっている。

【0264】

図31に、図30の回路のより具体的な構成の一例を示す図である。

【0265】

図31において、Q1、Q2はpnpバイポーラトランジスタを、R1、R30、R30'、R31、R31'は抵抗を、C10は容量を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2、PM40からPM46はPMOSTランジスタを、NM40、NM41、NM42、NM46はNMOSTランジスタを、10はオペアンプ出力を、30、31、32、50、51、52、55、pgstは内部のノードを、ENは制御信号を、NB1はNMOSTランジスタのバイアス電位を示す。なお図30において、図25の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。

【0266】

この図30及び図31に示すように、図24の発明の回路を変形して使用することが可能である。

【0267】

図32は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0268】

図32において、Q1、Q2はpnpバイポーラトランジスタを、R1、R2、R2'は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2、PM42、PM46、PM49、PM50はPMOSTランジスタを、NM46はNMOSTランジスタを、10はPMOSTランジスタのバイアス電位（オペアンプ出力）を、NB1はNMOSTランジスタのバイアス電位を、PB1はPMOSTランジスタのバイアス電位を、31、32、50、pgstは内部のノードを、OP1はオペアンプを、ENは制御信号を示す。なお図24、図25等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。

【0269】

図32の回路と図24の回路の違いを説明する。

【0270】

前述した図24の回路では、R30、R30'、R31、R31'を別に設け、温度に依存しない電位と、それよりも低い電位50、51とを作り、50、51をオペアンプの入力とした。ここでオペアンプをNMOS差動回路で構成しているので、オペアンプの入力電位は、図24の回路より高い電位でもかまわない。そこで図32の回路では、オペアンプOP1の入力を、Vref及びノード50の電位としている。なおR2、R2'の抵抗値は、バンドギャップ電圧Vrefを発生できるように調整する（R2、R2'の抵抗値は等しいものとする。）。

【0271】

図32の回路においても、PM1、PM2に流れる電流は等しいので、OP1により、Vrefと50の電位が等しくなるよう帰還制御すると、R2、R2'の抵抗値が等しいことから、Q1のエミッタ電位と31の電位は等しくなり、従来回路と同様バンドギャップ回路として機能する。

【0272】

図32は、スタートアップ回路の他の変形例を示す図である。

【0273】

図32において、PM42、PM46、PM49、PM50、NM46はスタートアップ回路を構成する。NB1、PB1の電位は図27の回路から供給されるものとする。PM1、PM2に電流が流れていない場合、Vref、50の電位はGNDとなり、NMOS差動回路を入力部分とするオペアンプが機能しなくなるので、スタートアップ回路がない場合、回路が起動しなくなる。これを避けるために、スタートアップ回路を設ける。

【0274】

PM1、PM2に電流が流れていない場合、ゲート電極10が共通のPM42にも電流が流れない。NM46にNB1が加わりNM46に電流が流れているので、pgstの電位はGNDとなる。pgstの電位がGNDとなるので、PM50がONし、PM49に電流が流れる。PM49、PM50に電流が流れると、50の電位が上昇する。Vrefの電位がGND、50の電位が上昇するので、10の電位は下がりはじめ、PM1、PM2に電流が流れ始める。PM1、PM2に電流が流れると、オペアンプが機能し、ノードVref、50の電位は等しい電位となって回路が安定する。

【0275】

上記説明した安定状態に回路が達すると、PM42に電流が流れて、pgstの電位はVddとなり、スタートアップ回路は切り離される。NM46に流れる電流より、PM42に流れる電流が大きくなるように設計しておくこと、pgstの電位をVddとすることが可能である。

【0276】

またPM49のバイアス電位PB1を図27の回路で発生し、これをスタートアップ電流とすることで、スタートアップ電流の値を制御することができる。これにより安定な起動が可能となる。例えば、仮に、スタートアップ電流が大きすぎると、50の電位はVddに近い値となり、これに対応して、Vrefの電位もVddに近い値となってしまう。この状態では、PM1、PM2が電流源として働かなくなるので、フィードバック機能が正常に働かなくなる恐れがある。スタートアップ電流をバイアス電位PB1により正確に制御しておけば、このようなスタートアップ時の異常を防ぐことができる。

【0277】

以上説明したように、図32の発明の回路のように、オペアンプの入力電位を図24の回路より高い電位とする変形回路も可能である。

【0278】

図33は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0279】

図33において、Q1、Q2、Q3はpnpバイポーラトランジスタを、R1、R31、R31'、R6、R7は抵抗を、Vrefは出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2、PM51、PM52はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51、60は内部のノードを、OP1はオペアンプを示す。なお図24、図8等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。制御に関する素子、スタートアップ回路、位相補償素子は省略したが、いままでの説明から同様に回路を構成できることは明らかであろう。

【0280】

図33の回路は、オペアンプを用いた本発明のバンドギャップ回路に、図8の発明の回路と同様に任意の基準電圧を発生する回路構成を適用した例を示している。

【0281】

ここでは図24の回路と同様に、抵抗 $R_{31'}$ 、 R_{31} により30、31の電位を+方向にレベルシフトした電位50、51をオペアンプOP1の入力とし、NMOS差動回路を入力部分とするオペアンプと組み合わせることで、低電圧動作を達成している。このとき、PM1、PM2には絶対温度に比例する電流（PTAT電流）が流れて回路が定常状態に達する。

【0282】

OP1の具体的な回路例は、既に説明した図40のような一般的な回路でよい。また後で説明する図34のような回路構成により、低電圧動作範囲を広げることも可能である。

【0283】

図8の回路で説明したように、PM51によりQ3に電流を流して、 V_{be} （ V_{be} ：pn接合の順方向電圧）を60に発生し、これを、抵抗 R_6 、 R_7 により分圧する。この分圧された電位に正の温度依存性を持つ電圧を、PM52により加算することで、例えば0.9Vの基準電圧を発生することができる。

【0284】

図34は、本発明のオペアンプの実施例を示す回路図である。

【0285】

図34のVddは正の電源を、GNDはGND端子を、PM53からPM57はPMOSトランジスタを、NM47からNM55はNMOSトランジスタを、10はPMOSトランジスタのバイアス電位（オペアンプ出力）を、NB1はNMOSトランジスタのバイアス電位を、PB1はPMOSトランジスタのバイアス電位を、50、51、55、70から72は内部のノードを、EN、ENXは制御信号を示す。なお図33、図40等の回路と同じ働きをする素子、対応するノードには同一の参照番号を与えた。

【0286】

ENがH、ENXがLのとき通常動作となる。

【0287】

以下に、図34の回路の特長を説明する。NB1、PB1の電位は図27の回路から供給されるものとする。

【0288】

図40の一般的なオペアンプ回路では、PM40がダイオード接続されている。PMOSトランジスタの閾値電圧が小さい場合には、図40の回路を使用して問題はないが、PMOSトランジスタの閾値電圧が大きい場合には、以下に述べる問題が生ずる場合がある。

【0289】

例えば50、51の電位を0.9V程度とし、電源電圧Vddも0.9V程度の場合を考える。図40の回路の場合、ノード55の電位は、50、51の電位からNMOSトランジスタの閾値電圧程度低い電位となる。PM40に電流が流れるためには、PM40のゲート電位もVddからPMOSトランジスタの閾値電圧程度低い電位となる。このため、50、51の電位が電源電圧に近い電位となるような状況では、図40のNM40のドレイン・ソース間の電位差は殆どなくなる。こうした状態では、図40のオペアンプ回路は利得が小さくなり、十分な帰還作用が得られなくなる。

【0290】

例えば図33の回路で、50、51の電位を0.9V程度、Vrefを0.9Vに設計すると、図33の回路は、理想的には電源電圧0.9V程度から安定な基準電圧を出力できるようになる。しかしながら、図33のオペアンプOP1が、上述の動作点の問題で利得が小さい状態になると、基準電位の精度が確保できなくなってしまう。

【0291】

この問題を解決するために、図34の回路では、PM53、PM54を定電流源とし、

差動回路NM47、NM48のドレイン電位がV_{dd}程度の電位となるように回路を構成している。PM53、PM54からノード70、71に一定電流が供給され（PM53とPM54の電流は同じ値とする）、NM47、NM48に流れるドレイン電流との差の電流がNM50、NM51に流れる。一般的なフォールデッド・カスコード回路では、ノード70、71とNM50、NM51の間にPMOSトランジスタを設けることが一般的である。しかし図33の回路中で使用する場合には、50、51の電位は0.9V程度とあらかじめ分かっている。従って図34の構成としても、ノード70、71の電位はNMOSトランジスタの閾値電圧程度の電位となり、NM47、NM48のドレイン電位とゲート電位との関係を飽和領域に設定することができる。

【0292】

NM50及びNM51により電圧に変換された差電流を、NM52、NM53、PM56、PM57により増幅し、10とする。以下に、信号の極性について簡単に説明しておく。51が高い電位の場合、NM50に流れる電流が減少するので、70の電位が下がる。NM51に流れる電流は増えるので、71の電位は高くなる。70の電位が下がるので、NM53に流れる電流は減少する。71の電位が高くなるので、NM52に流れる電流は増加し、PM56、PM57に流れる電流も増加する。NM53に流れる電流が減少し、PM57に流れる電流が増加するので、10はHとなる。

【0293】

図35は、図33の回路と図34の回路の電源電圧V_{dd}と基準電圧V_{ref}の特性を示す一例である。図35に示すのは、温度が-40℃、25℃、125℃の場合のものである。

【0294】

図35に示されるように、電源電圧V_{dd}や温度によらず一定の基準電圧V_{ref}が得られることが分かる。また、V_{ref}の値が0.9Vとなるように定数を設計している。図33、図34の発明の回路を用いることで、基準電圧V_{ref}の値を0.9Vとした場合、電源電圧は約0.9V程度から回路が動作する。図35の特性例からも、約0.9Vの電源電圧から回路が動作することが分かる。

【0295】

図34のオペアンプ回路だけではなく、図39のようなオペアンプ回路を、図33の回路中で用いることも可能である。

【0296】

図39において、V_{dd}は正の電源を、GNDはGND端子を、PM53からPM57、PM63からPM66はPMOSトランジスタを、NM47からNM56はNMOSトランジスタを、10はPMOSトランジスタのバイアス電位（オペアンプ出力）を、NB1はNMOSトランジスタのバイアス電位を、PB1はPMOSトランジスタのバイアス電位を、50、51、55、72、80から84は内部のノードを、EN、ENXは制御信号を示す。なお図40、図34等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。

【0297】

図39の回路は、図34の回路と略同一の動作をするので、図34の回路との違いを説明する。図34の回路では、NM50、NM51のドレイン電極は直接、NM47、NM48のドレイン電極と接続した。これは、図33の回路例では、50、51の電位は0.9V程度になることがあらかじめ分かっているためだが、50、51の電位がより高い電位となり、NM47、NM48のドレインソース間電圧の減少が問題になる場合には、図39のように回路を構成すればよい。

【0298】

図に示されるようにPM63及びPM64をNM50、NM51のドレインと、NM47、NM48のドレインの間に設けることで、82、83の電位と、80、81の電位を異なる電位とすることができる。82、83の電位は、NM50、NM51をダイオード接続していることから、閾値電圧程度の電位となるが、80、81の電位は84の電位か

らPMOSトランジスタの閾値電圧程度高い電位となる。

【0299】

PM65と、NM56によりPM66に一定電流を流すことで、84の電位を発生する例を図39には示した。84の電位はV_{dd}から、PMOSトランジスタの閾値電圧程度低い電位となるので、80、81の電位はV_{dd}に近い電位となる。PM63、PM64を設けることで、80、81の電位をV_{dd}に近い電位とできるので、50、51の電位が高い電位となっても、NM47、NM48は線形領域では動作せず、オペアンプの利得の高い入力電圧範囲を大きくできる。

【0300】

以上説明したように、50、51の電位をより高い電位とする場合には、図39のような回路を用いることで、バンドギャップ回路を構成することが可能である。図33の基準電圧回路を例にあげて、図39のオペアンプ回路の利点を説明したが、他のオペアンプを用いた、本発明の回路に、この図39の回路を用いてよいことはもちろんである。

【0301】

図36は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0302】

図36において、Q1、Q2、Q3はpnpバイポーラトランジスタを、R1、R31、R31'、R2は抵抗を、V_{ref}は出力基準電位を、V_{dd}は正の電源を、GNDはGND端子を、PM1、PM2、PM58はPMOSトランジスタを、10はPMOSトランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51、61は内部のノードを、OP1はオペアンプを示す。なお図24、図33等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。制御に関する素子、スタートアップ回路、位相補償素子は省略したが、いままでの説明から同様に回路を構成できることは明らかであろう。

【0303】

図33の回路では、オペアンプを用いた本発明のバンドギャップ回路に、図8の回路と同様に任意の基準電圧を発生する回路構成を適用した例を示したが、1.2Vの電位を出力すればよい場合には、図36のように回路を構成することも可能である。

【0304】

図36のように回路を構成すると、50、51の電位を0.9V程度とするためのレベルシフトのための抵抗R31、R31'は必要だが、R30、R30'は必要なくなる。バンドギャップ電圧は、R2によりPTAT電圧をQ3のエミッタ電位61に加算することで発生する。図24のR30、R30'より、R2のサイズが小さい場合には、図36のように回路を構成する面積的な利点がある。

【0305】

図37は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0306】

図37において、Q1、Q2はpnpバイポーラトランジスタを、R1、R31、R31'、R33、R34は抵抗を、V_{ref}は出力基準電位を、V_{dd}は正の電源を、GNDはGND端子を、PM1、PM2、PM59、PM60、PM61はPMOSトランジスタを、10、63はPMOSトランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51、62は内部のノードを、OP1、OP2はオペアンプを示す。なお図24、図36等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図を簡単にするために、制御に関する素子、スタートアップ回路、位相補償素子等は省略した。

【0307】

図36までの説明では、バンドギャップ電圧を発生する方法として、pnpバイポーラトランジスタのV_{be}あるいはV_{be}を分圧した電圧に直接PTAT電圧を加算する例を

示してきた。しかし、バンドギャップ電圧を発生するためには、P T A T 電圧と温度依存性が打ち消しあう電圧を加算すればよいので、図 37 のような構成も可能である。

【0308】

50、51 の電位が等しくなるように、OP 1 により PM 1、PM 2 のゲート電位 10 を制御し、PM 1、PM 2、PM 59 に P T A T 電流を発生することは、今までの説明から容易に理解できるであろう。ところで、50、51 の電位は、図 29 に示したように、負の温度依存性を持っている。例えば、この 50 の電位を利用して、負の温度依存性をもつ電流を発生することが可能である。

【0309】

50 の電位と 62 の電位が一致するように、OP 2 により、PM 61 のゲート電位 63 を負帰還制御すると、PM 61 には、負の温度依存性を持つ電流が流れるようになる。この電流を、PM 59 の P T A T 電流の正の温度依存性を打ち消すよう適切にスケールリングして、PM 60 により、加算すると、合計電流の温度依存性がないようにできる。PM 59、PM 60 の合計電流を抵抗 R 33 により電圧に変換することで、温度に依存しない基準電圧 V_{ref} を発生することができる。

【0310】

図 37 のように回路を構成すると、任意の温度依存性を持ったバイアス電流をバンドギャップ電圧と同時に得ることが可能となる。

【0311】

図 38 は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0312】

図 38 において、Q 1、Q 2 は p n p バイポーラトランジスタを、R 1、R 35、R 35'、R 36、R 36'、R 37 は抵抗を、 V_{ref} は出力基準電位を、 V_{dd} は正の電源を、GND は GND 端子を、PM 1、PM 2、PM 62 は PMOS トランジスタを、10 は PMOS トランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51 は内部のノードを、OP 1 はオペアンプを示す。なお図 36 等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図示の簡略化のために、制御に関する素子、スタートアップ回路、位相補償素子等は省略した。R 35 と R 35' は同じ抵抗値を持ち、また、R 36 と R 36' も同じ抵抗値を持つものとする。

【0313】

R 36、R 36' は Q 1 のエミッタ電位 30 と対応する電位 31 の電位を + 方向にレベルシフトするレベルシフト抵抗として働く（図 37 までの抵抗 R 31、R 31' と同じ働きをする。）

図 36 の回路と図 38 の回路の違いは、抵抗 R 35、R 35' にある。

【0314】

30 の電位と 31 の電位が等しくなるように制御した場合に、Q 1、Q 2 に流れる電流が絶対温度に比例することは、図 36、図 37 までの回路と同じである。ところで、30 の電位 V_{be} は、温度の上昇にともなって減少する負の温度依存性を持ち（式（1））、この電位差を抵抗 R 35 で割ると、温度の上昇にともなって減少する負の温度依存性を持つ電流が得られる。Q 1、Q 2 に流れる正の温度依存性を持つ電流と、抵抗 R 35、R 35' に流れる負の温度依存性を持つ電流を適切に加算すると、合計電流は温度に依存しない特性となる。

【0315】

つまり、Q 1 のエミッタ電位 30 と対応する電位 31 の電位を + 方向にレベルシフトした電位 50、51 を一致させるように制御すると、30 と 31 の電位が同電位となる。このように 30 と 31 の電位が同電位となると、Q 1、Q 2 に流れる電流と、抵抗 R 35、R 35' に流れる電流の合計電流は温度に依存しない特性となる。この温度に依存しない電流を R 37 により電圧に変換することで、温度に依存しない基準電圧を得ることができる。

【0316】

以上説明したように、図38のような回路構成によっても、本発明の効果を得ることができ、また温度に依存しない基準電圧を得ることができる。

【0317】

図41は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0318】

図41において、Q1、Q2はpnpバイポーラトランジスタを、R1、R2、R2'、R38、R38'は抵抗を、Vref、Vref'は出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM1、PM2はPMOSTランジスタを、10はPMOSTランジスタのバイアス電位（オペアンプ出力）を、30、31、32、50、51は内部のノードを、OP1はオペアンプを示す。なお図24等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図を簡単にするために、制御に関する素子、スタートアップ回路、位相補償素子等は省略した。R2とR2'は同じ抵抗値を持ち、また、R38とR38'も同じ抵抗値を持つものとする。

【0319】

R38、R38'およびR2とR2'はQ1のエミッタ電位30と対応する電位31の電位を+方向にレベルシフトするレベルシフト抵抗として働く（図37までの抵抗R31、R31'と同じ働きをする。）

図24の回路と図41の回路の違いは、抵抗R38、R38'にある。

【0320】

図24の回路では、NMOSTランジスタの閾値電圧を0.8V程度として、動作を説明した。NMOSTランジスタの閾値電圧が非常に大きい場合でも、図24の発明の回路の考え方で、バンドギャップ回路を構成できる。図41は、NMOSTランジスタの閾値電圧が1.3Vの場合に、本発明の回路の考え方を適用した例となっている。

【0321】

NMOSTランジスタの閾値電圧が1.3Vと、バンドギャップ電圧より大きい場合でも、図24の回路と同様に抵抗により、+方向にQ1のエミッタ電位30と対応する電位31の電位をレベルシフトし、オペアンプ入力とすることができる。NMOSTランジスタの閾値電圧が1.3Vと、バンドギャップ電圧より大きいので、バンドギャップ電圧を発生するための抵抗R2とR2'に加えて、さらに、+方向に電位をレベルシフトする抵抗R38、R38'を追加してもうければよい。R38、R38'により、1.3V以上となった電位50、51を一致させるよう負帰還制御することで、結果として、30、31の電位は同電位となる。これにより、PM1、PM2に流れる電流はPTAT電流となり、バンドギャップ電圧を発生することができる。

【0322】

図41の発明の特長は、NMOSTランジスタの閾値電圧が1.3V程度と、バンドギャップ電圧より大きい場合でも、Q1のエミッタ電位30と対応する電位31の電位をさらに、+方向にレベルシフトすることで、NMOSTランジスタ差動入力オペアンプを動作させ、全体として低電圧動作を達成している点にある。

【0323】

図42は、オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【0324】

図42において、Q1、Q2はpnpバイポーラトランジスタを、R1、R30、R30'、R31、R31'は抵抗を、Vref、Vref'は出力基準電位を、Vddは正の電源を、GNDはGND端子を、PM70からPM77はPMOSTランジスタを、NM70からNM76はNMOSTランジスタを、100はNMOSTランジスタのバイアス電位（オペアンプ出力）を、NB1はNMOSTランジスタのバイアス電位を、PB1はPMOSTランジスタのバイアス電位を、30、31、32、101から104は内部

のノードを、OP3はオペアンプを示す。なお図24等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図を簡単にするために、回路の停止制御に関する素子、位相補償素子等は省略した。NB1、PB1は図27の回路から供給されるものとする。

【0325】

図41までは、オペアンプで、PMOSトランジスタ(PM1、PM2)のゲート電位を制御し、Q1、Q2に流れる電流がPTAT電流となるよう回路を構成した例を説明してきた。しかし本発明は、オペアンプでPMOSトランジスタ(PM1、PM2)のゲート電位を制御する回路に適用できることにはとどまらない。図42の回路は、PM70、PM71により一定電流をR1、R30、R30'、R31、R31'、Q1、Q2に供給し、NM70、NM71のゲート電位(100)を制御することで、30、31の電位を一致させて、PTAT電流を発生する例を示している。

【0326】

また、オペアンプOP3の入力は、Vref、Vref'としている。負帰還作用により、30、31の電位が一致することについて説明する。NM70、NM71のサイズを等しく設計するものとする。PM70、PM71により一定電流(PM70とPM71の電流は等しいとする)が供給され、NM70、NM71にも等しい電流が流れるので、その差の等しい電流が、抵抗R30、R30'、R31、R31'に流れる。R30とR30'の抵抗値は等しく、またR31とR31'の抵抗値も等しいとする。

【0327】

Vref'の電位がVrefの電位より高いと、100の電位は高くなり、NM70、NM71に流れる電流が大きくなり、Vref'の電位は下がる。逆に、Vref'の電位がVrefの電位より低いと、100の電位は低くなり、NM70、NM71に流れる電流が小さくなり、Vref'の電位は上昇する。結果として、Vref、Vref'の電位は等しくなる。R30とR30'の抵抗値、R31とR31'の抵抗値が等しいので、Vref、Vref'の電位が等しくなると、30、31の電位も等しくなる。つまり、Q1、Q2に流れる電流は、従来回路の動作で説明したように、絶対温度に比例するPTAT電流となる。これにより、Vref、Vref'に温度に依存しないバンドギャップ電圧を発生することが可能となる。

【0328】

図42の下半分の部分、PM72からPM77、NM72からNM76はスタートアップ回路として働く。以下スタートアップ回路の動作を説明する。回路が最終的な定常状態にあるときのノード101の電位は、約0.9Vとする。

【0329】

PM76にバイアス電位PB1を加え、また、NM76にバイアス電位NB1を加える。これにより、PM76、PM77、NM76に一定電流が流れる。PM76のドレイン電位が、Vdd付近の電位とすると、104の電位は、VddからPMOSトランジスタの閾値電圧程度低い電位となる。

【0330】

PM72にもバイアス電位PB1を加え、また、NM73にバイアス電位NB1を加える。このとき、NM73の電流を、PM72の電流より十分大きくしておく。

【0331】

バンドギャップ回路が最終的な定常状態になく、Q1、Q2に電流が流れていないとする。このとき101、Vref、Vref'の電位はGNDとなっている。101の電位がGNDなので、NM72はOFFしていて、PM72から供給される電流は、NM72には流れない。PM72から供給される電流は、PM73を通過して、NM74に流れる。NM74に電流が流れることで、102の電位が上昇し、NM75、PM74にも電流が流れる。PM74に電流が流れることで、PM75に電流が流れ、この電流により、Vrefの電位が上昇する。Vref'の電位がGNDなのに対して、Vrefの電位が上昇するので、100の電位が下がって、NM70、NM71の電流が減少する。NM70

、NM71の電流が減少するので、PM70、PM71の電流により、 V_{ref}' の電位も上昇する。 V_{ref} 、 V_{ref}' の電位がともに上昇すると、オペアンプOP3が動作し、 V_{ref} と V_{ref}' の電位が等しくなり回路が安定する。

【0332】

V_{ref} と V_{ref}' の電位が等しくなったときに、ノード101の電位は、約0.9Vに上昇しているので、PM72の電流は、NM72にも流れる。NM73の電流を、PM72の電流より十分大きく設定しているので、PM72の電流は全て、NM72を通して、NM73に流れる。PM72の電流は全て、NM72を通して、NM73に流れるので、PM73に電流は流れず、NM74、NM75、PM74にも電流が流れない。PM74に電流が流れないので、PM75に電流は流れず、スタートアップ回路が切り離される。

【0333】

図43は、図42の回路構成に適したオペアンプ回路の例を示す図である。

【0334】

図43において、 V_{dd} は正の電源を、GNDはGND端子を、PM78からPM81はPMOSトランジスタを、NM77からNM81はNMOSトランジスタを、100はNMOSトランジスタのバイアス電位（オペアンプ出力）を、NB1はNMOSトランジスタのバイアス電位を、PB1はPMOSトランジスタのバイアス電位を、105から108、 V_{ref} 、 V_{ref}' は内部のノードを示す。なお図42等の回路と同じ働きをする素子、対応するノードには同じ参照番号を与えた。図を簡単にするために、回路の停止制御に関する素子、位相補償素子等は省略した。NB1、PB1は図27の回路から供給されるものとする。PM80、PM81のゲート電位104は図42の回路104から供給されるものとする。

【0335】

図43の回路は、一般的なフォールデッド・カスコード回路であるので、その詳細な動作説明は省略し、信号の極性についてだけ以下に説明する。 V_{ref}' が高い電位の場合、NM77に流れる電流が増加し、NM80に流れる電流が減少するので、106の電位が下がる。NM78に流れる電流は減少するので、PM81に流れる電流は増加する。106の電位が下がり、NM81の電流は減少する。PM81に流れる電流は増加し、NM81の電流は減少するので、100の電位は高くなる。逆に V_{ref}' が、 V_{ref} より低い場合は、100の電位が低くなることは明らかであろう。

【0336】

図42、図43の発明の回路の特長について以下に説明する。

【0337】

図42の回路は、 V_{dd} からは一定電流を定電流源で供給し、オペアンプでNMOSトランジスタのゲート電位を制御することで、バンドギャップ電圧を発生している。このように回路を構成することで、図24の回路に対して、より電源ノイズの影響を受けにくくなる。

【0338】

最も一般的なミラー補償を想定して、位相補償容量と電源ノイズの影響を説明する。

【0339】

図25の回路のように、オペアンプでPMOSトランジスタ（PM1）のゲート電位を制御する場合、その位相補償容量は、図25のC10のように、PMOSトランジスタのゲートと出力基準電位との間に設けられることになる。

【0340】

GNDから一定電位にある出力基準電位とPMOSトランジスタのゲートとの間に位相補償容量を設けると、電源 V_{dd} にノイズがある場合、PMOSトランジスタのゲート電位10は、GNDから一定電位にとどまろうとする。従って、PM1のゲート・ソース間電圧が変動し、出力基準電位の変動を招くことになる（PMOSトランジスタのゲート電位10は V_{dd} との電位差に意味がある）。

【0341】

一方、図42の回路では、オペアンプでNMOSトランジスタNM71のゲート電位100を制御しているので、一般的なミラー補償の位相補償容量は、ノード100とVrefの間に設けられる。NMOSトランジスタNM71のゲート電位100、Vrefともに、GNDとの電位差に意味がある信号なので、電源Vddにノイズがあっても、直接その影響を受けることはない。

【0342】

このように図42の回路は、Vddからは一定電流を定電流源で供給し、オペアンプでNMOSトランジスタのゲート電位を制御し、バンドギャップ電圧を発生することで、電源Vddにノイズがある場合の影響を緩和できる。

【0343】

以上説明したように、図42や図43の発明の回路によっても、本発明の効果である低電圧動作を達成することができる。また図42の回路のように、PM70、PM71により一定電流をR1、R30、R30'、R31、R31'、Q1、Q2に供給し、NM70、NM71のゲート電位(100)を制御することで、30、31の電位を一致させて、PTAT電流を発生する例を示し、オペアンプ入力を抵抗により必要な値+方向にレベルシフトした回路においても、本発明の趣旨を逸脱しない範囲で各種の回路の変形が可能なのはいうまでもない。

【0344】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【図面の簡単な説明】

【0345】

【図1】従来のバンドギャップ回路の構成の一例を示す図である。

【図2】従来のバンドギャップ回路の構成の別の一例を示す図である。

【図3】従来のバイアス電流発生回路の構成の一例を示す図である。

【図4】従来のバンドギャップ回路の構成の更に別の一例を示す図である。

【図5】本発明によるバンドギャップ回路の第1の実施例を示す回路図である。

【図6】図5のバンドギャップ回路の電源電圧Vddと基準電圧Vrefの特性の一例を示す図である。

【図7】図5の回路をバイアス電流発生回路として使用する場合の一例を示す回路図である。

【図8】本発明によるバンドギャップ回路の第2の実施例を示す回路図である。

【図9】図8の回路の電源電圧と基準電圧との特性の一例を示す図である。

【図10】本発明によるバイアス電流発生回路の第2の実施例を示す回路図である。

【図11】本発明のバイアス電流発生回路の他の回路例を示す図である。

【図12】本発明によるバンドギャップ回路の更に別の実施例の構成を示す回路図である。

【図13】図12の回路の電源電圧と基準電圧との特性の一例を示す図である。

【図14】本発明による低電圧検出回路の構成の一例を示す図である。

【図15】図14の回路の動作特性を説明するための図である。

【図16】本発明によるバンドギャップ回路の更に別の実施例を示す回路図である。

【図17】本発明によるバンドギャップ回路の更に別の実施例を示す回路図である。

【図18】本発明によるバンドギャップ回路の更に別の実施例を示す回路図である。

【図19】本発明による低電圧検出回路の別の実施例を示す回路図である。

【図20】本発明によるバンドギャップ回路の他の実施例を示す回路図である。

【図21】本発明による低電圧検出回路の他の実施例の一部を示す回路図である。

【図22】本発明による低電圧検出回路の他の実施例の一部を示す回路図である。

【図23】本発明による低電圧検出回路の他の実施例の一部を示す回路図である。

【図24】本発明によるオペアンプを用いたバンドギャップ回路の構成を示す回路図

である。

【図 25】図 24 の回路の詳細を示す回路図である。

【図 26】オペアンプのテイル電流源のバイアス電位を発生する回路の一例を示す図である。

【図 27】オペアンプのテイル電流源のバイアス電位を発生する回路の他の一例を示す図である。

【図 28】図 25 と構成が異なるスタートアップ回路の一例を示す図である。

【図 29】図 28 の発明の回路の電源電圧と基準電圧との特性を示す図である。

【図 30】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 31】図 30 の回路の具体的な構成の一例を示す図である。

【図 32】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 33】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 34】本発明で用いるオペアンプの実施例を示す回路図である。

【図 35】図 33 の回路と図 34 の回路の電源電圧と基準電圧との特性の一例を示す図である。

【図 36】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 37】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 38】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 39】本発明で用いるオペアンプの別の一例を示す回路図である。

【図 40】本発明で用いるオペアンプの最も一般的な構成例を示す回路図である。

【図 41】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 42】オペアンプを用いた本発明のバンドギャップ回路の他の実施例を示す回路図である。

【図 43】図 42 の回路構成に適したオペアンプ回路の例を示す図である。

【符号の説明】

【0346】

Q1、Q2、Q3 pnp バイポーラトランジスタ

R1、R2、R5 抵抗

Vref 出力基準電位

Vdd 正の電源電圧

GND グラウンド電圧

NM1～NM8 NMOS トランジスタ

PM1～PM12 PMOS トランジスタ

10 PMOS トランジスタのバイアス電位

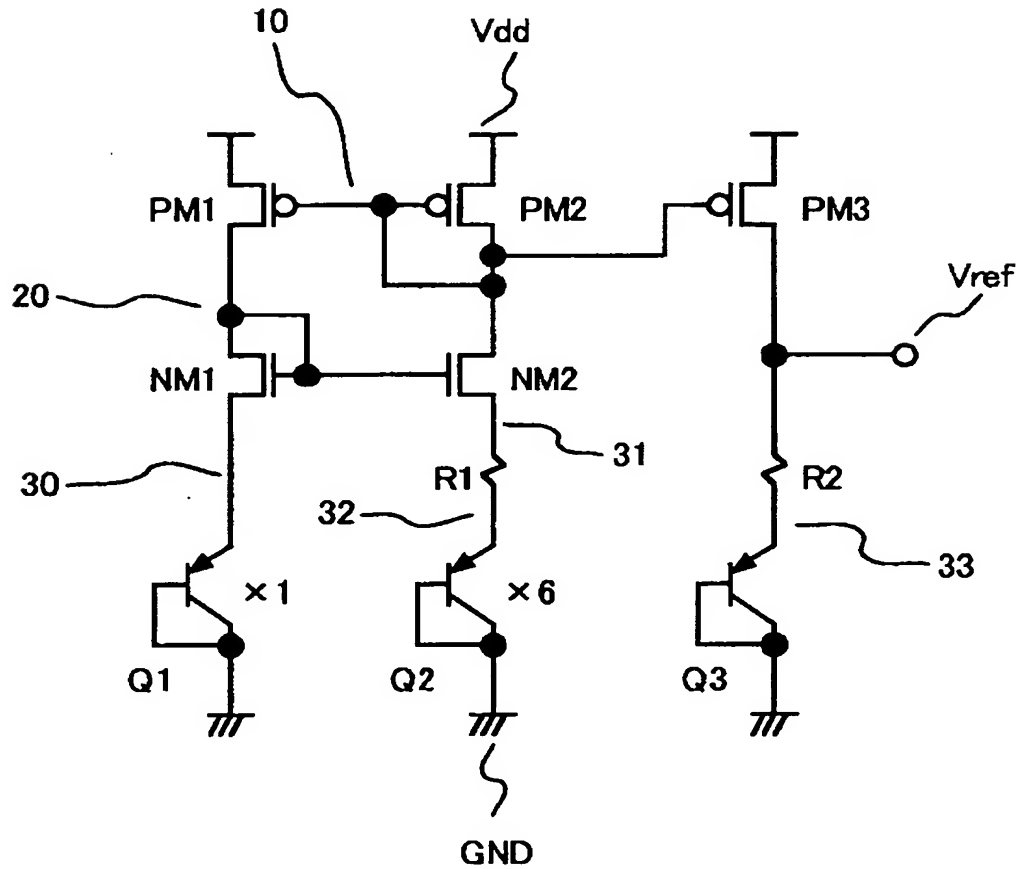
21 NMOS トランジスタのバイアス電位

33～35 内部ノード

EN、ENX 制御信号

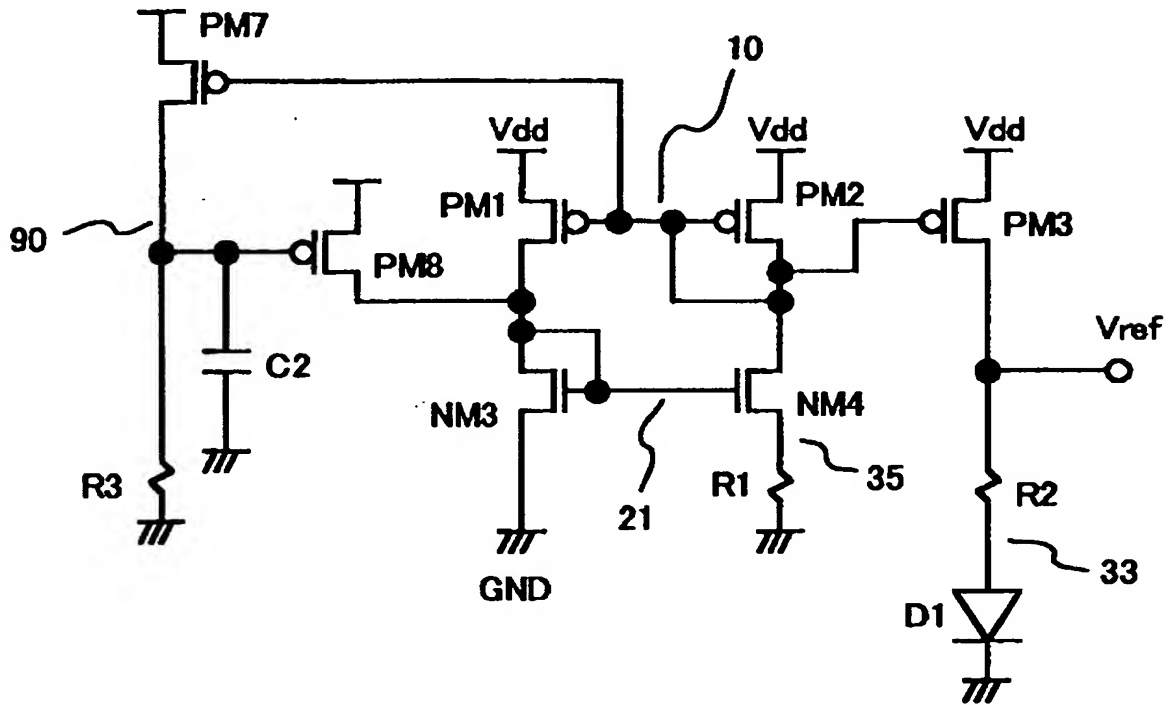
【書類名】 図面
【図 1】

従来のバンドギャップ回路の構成の一例を示す図



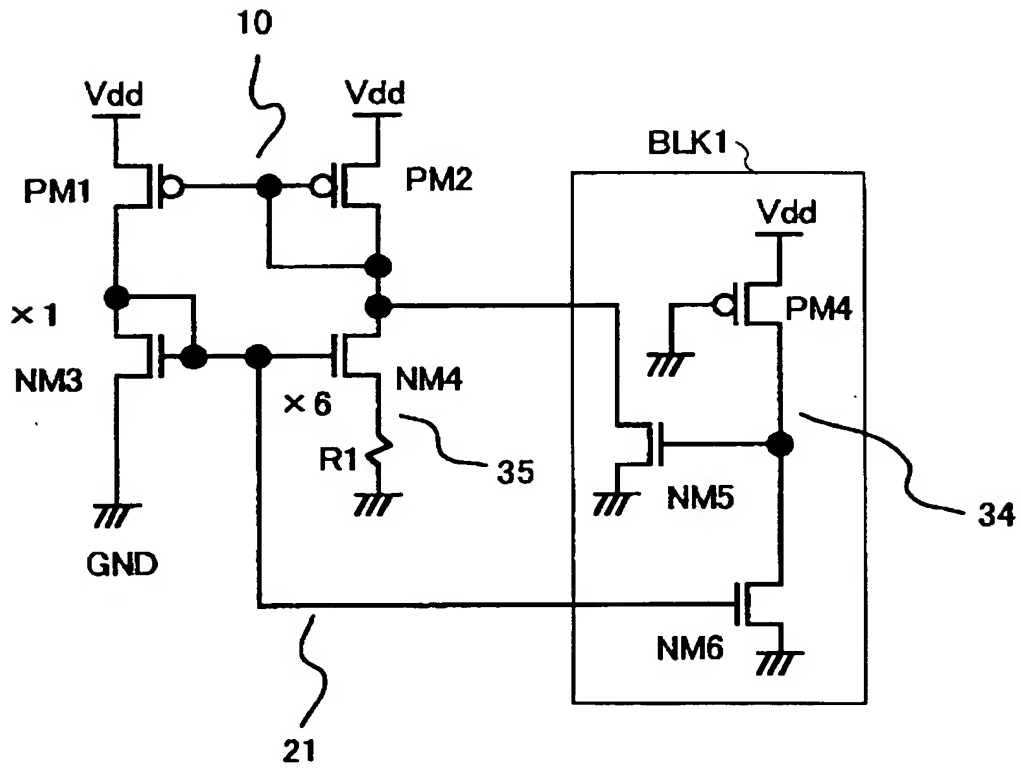
【図 2】

従来のバンドギャップ回路の構成の別の一例を示す図



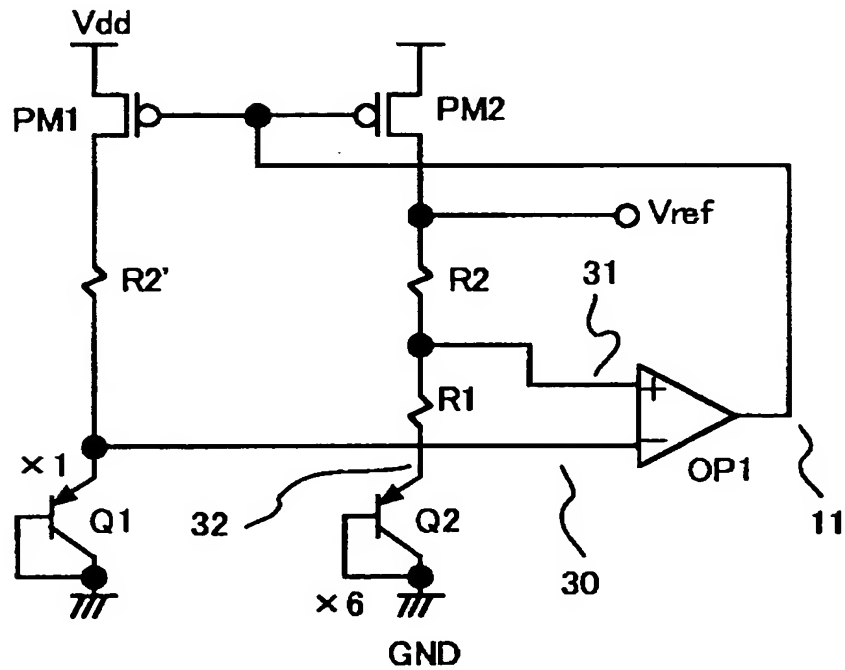
【図 3】

従来のバイアス電流発生回路の構成の一例を示す図



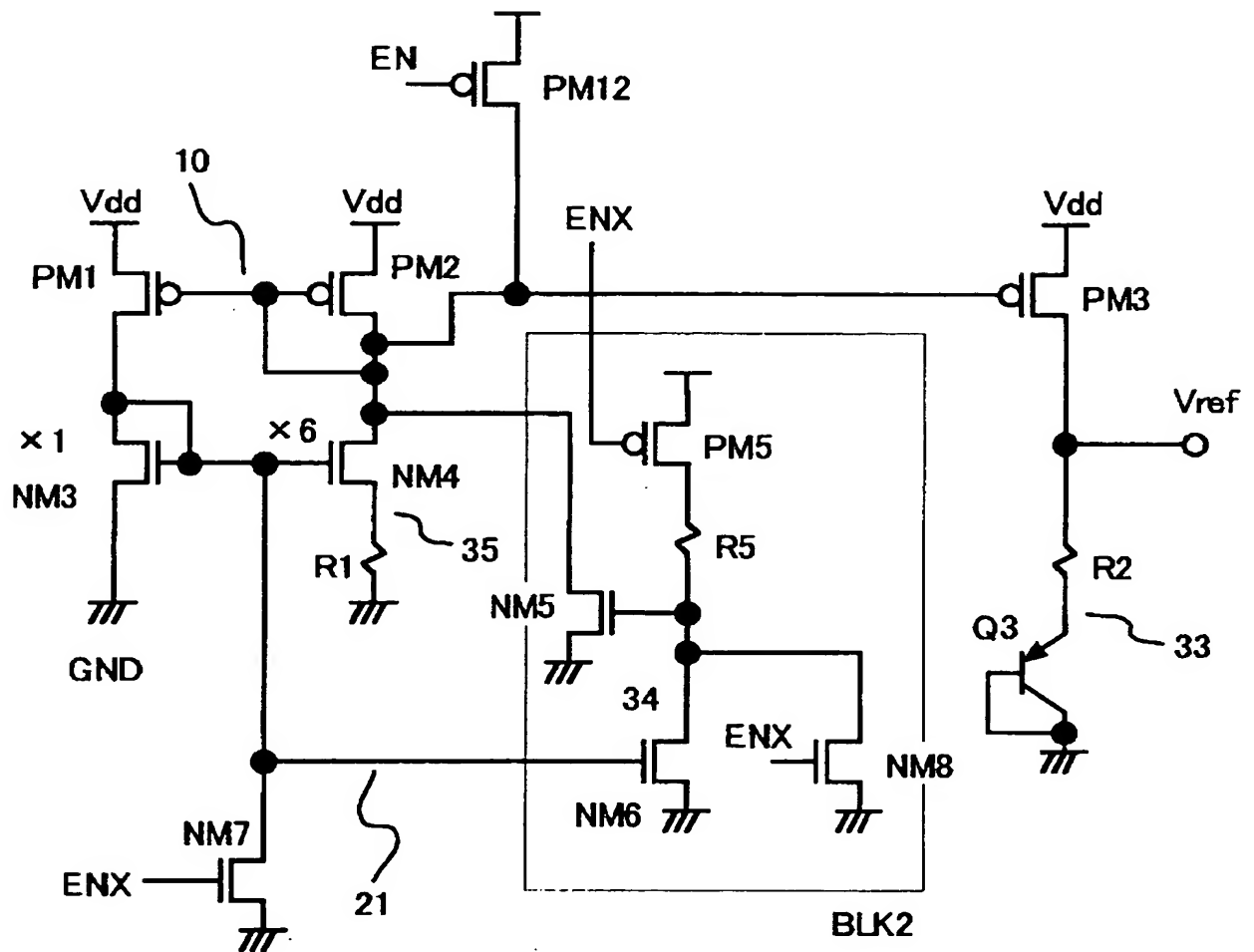
【図 4】

従来のバンドギャップ回路の構成の更に別の一例を示す図



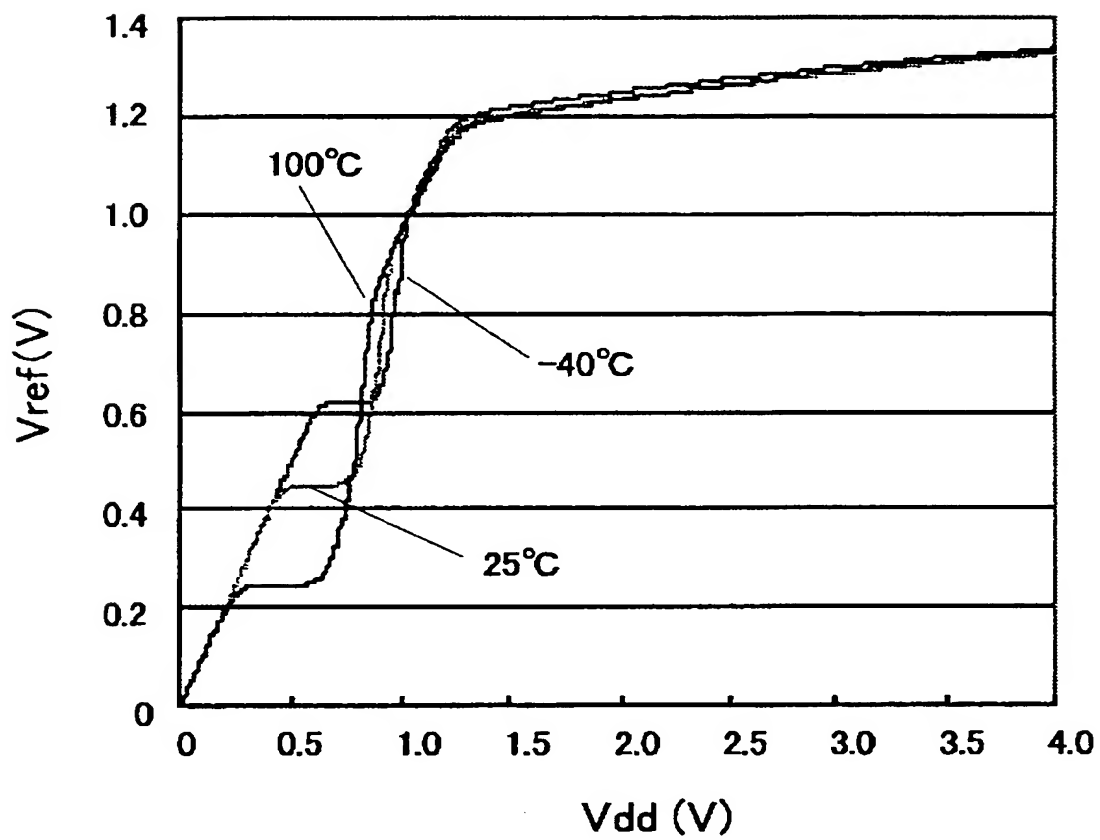
【図 5】

本発明によるバンドギャップ回路の第 1 の実施例を示す回路図



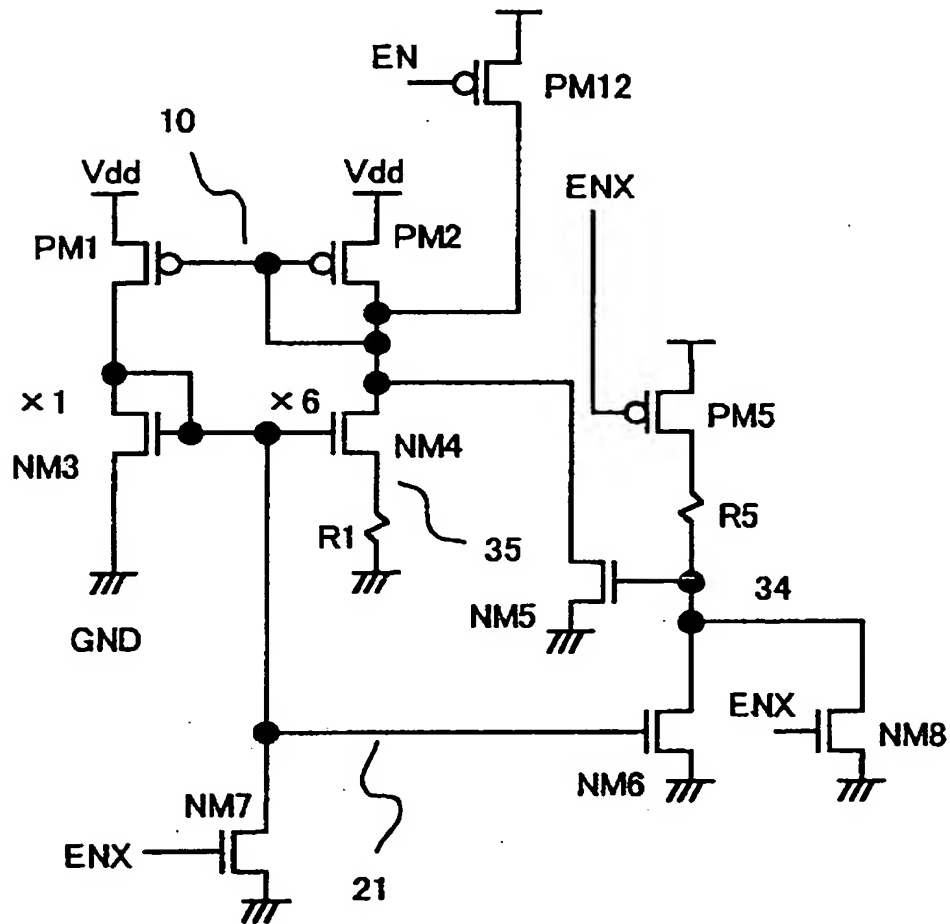
【図 6】

図 5 のバンドギャップ回路の電源電圧 V_{dd} と基準電圧 V_{ref} の特性の一例を示す図



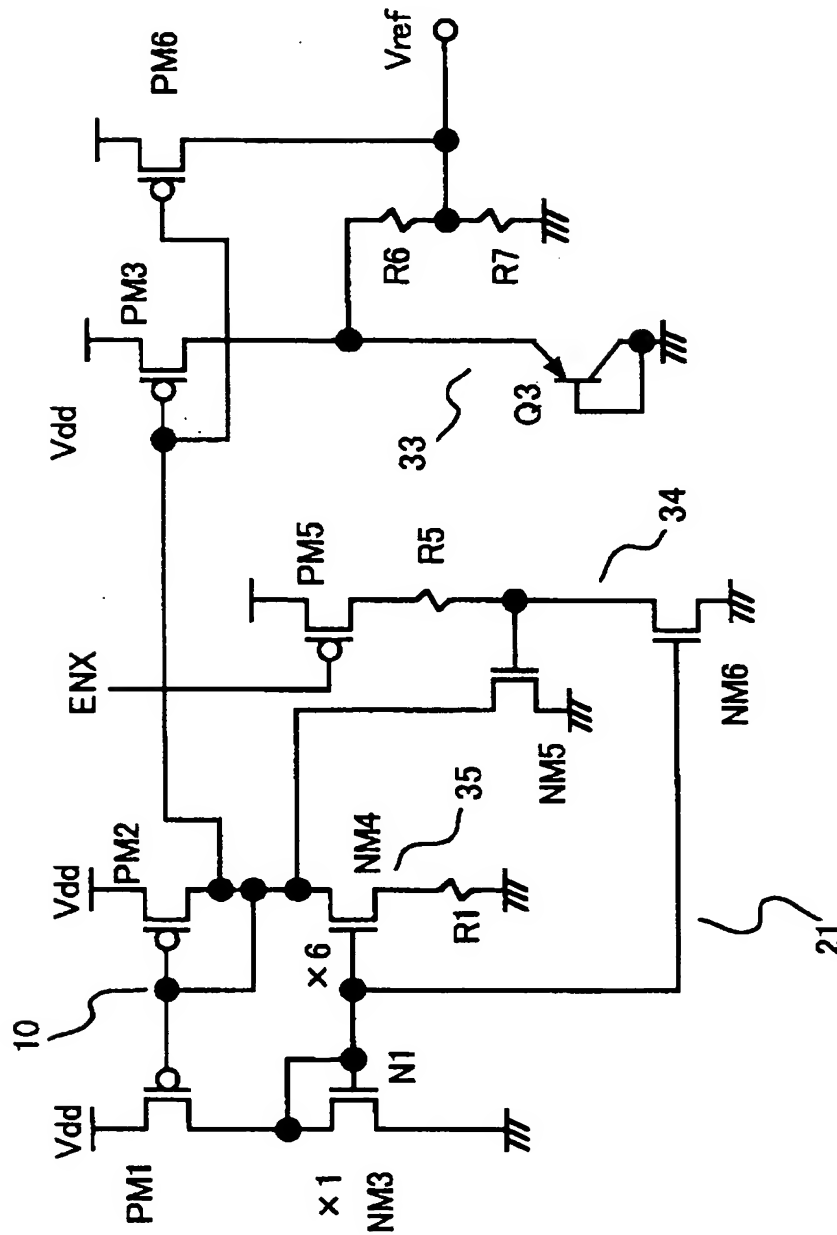
【図 7】

図 5 の回路をバイアス電流発生回路として
使用する場合の一例を示す回路図



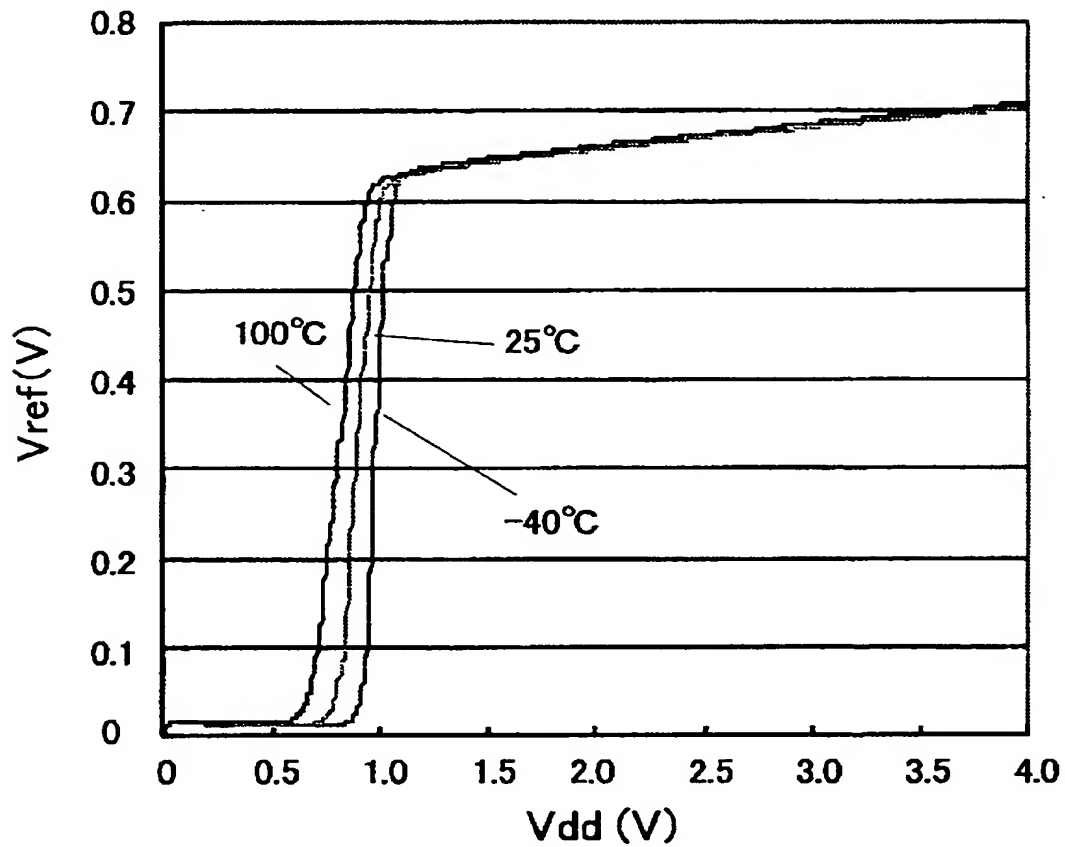
【図 8】

本発明によるバンドギャップ回路の第 2 の実施例を示す回路図



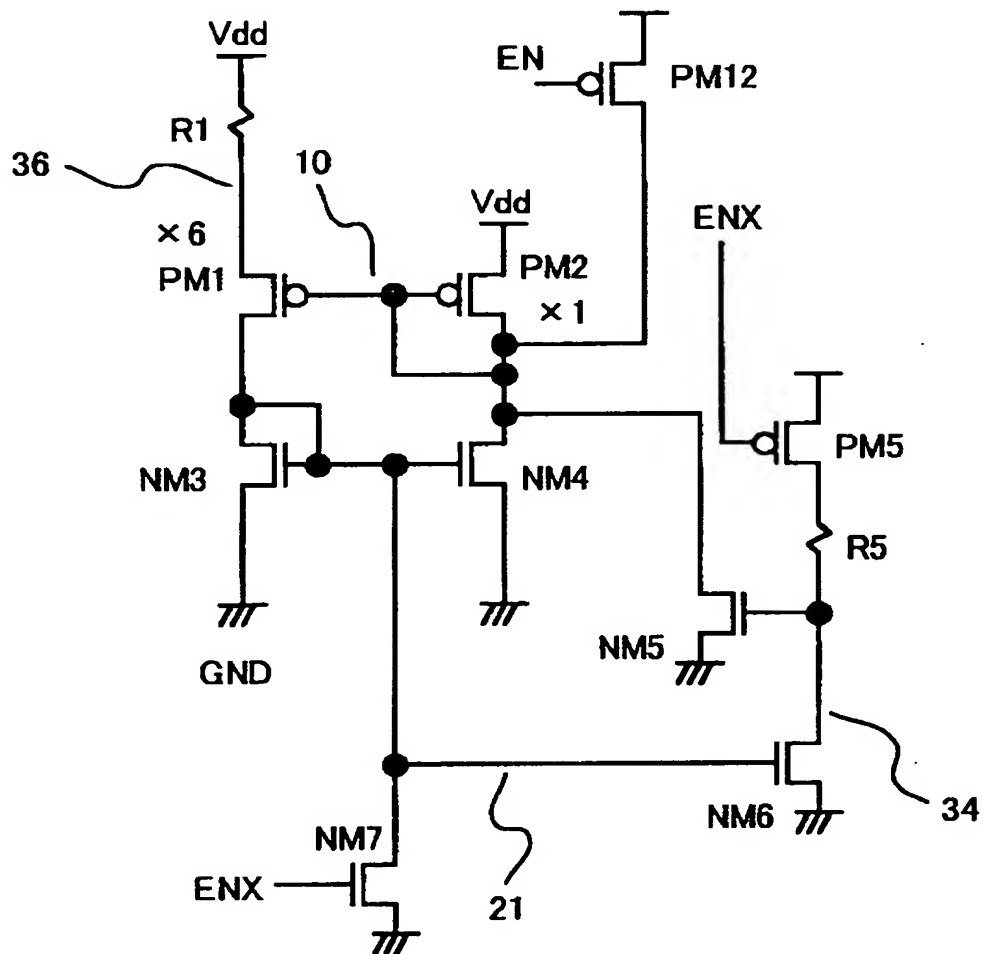
【図 9】

図 8 の回路の電源電圧と基準電圧との特性の一例を示す図



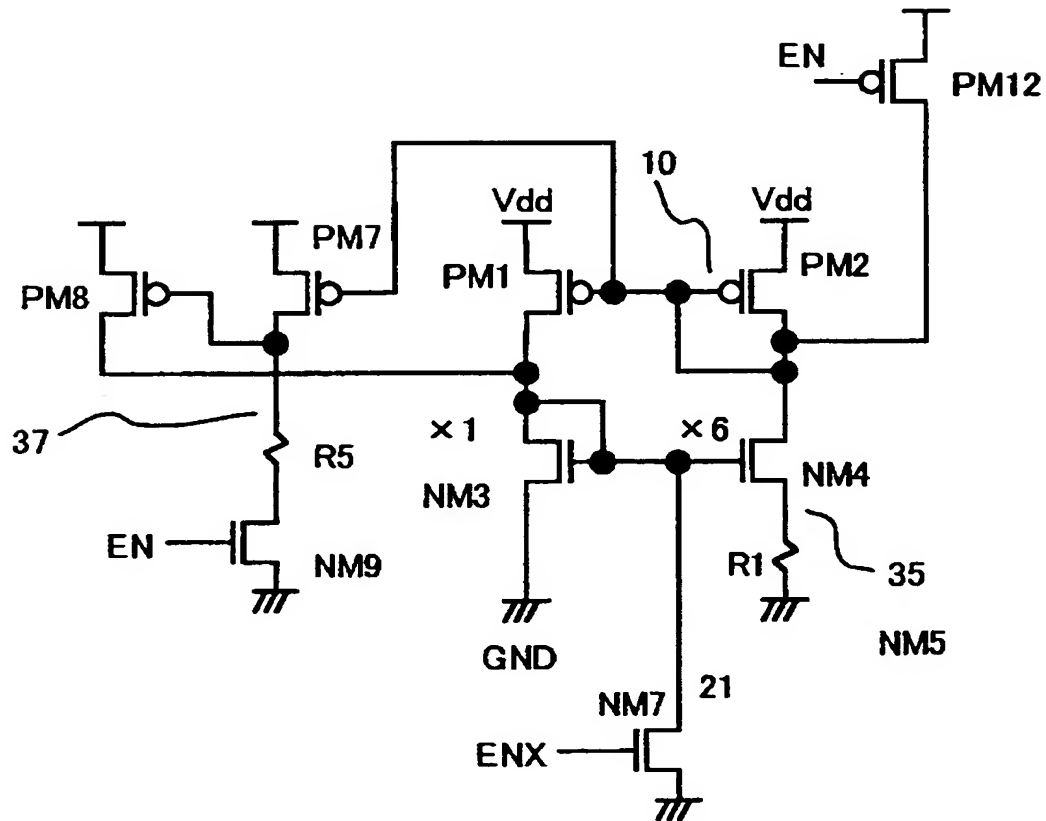
【図 10】

本発明によるバイアス電流発生回路の第 2 の実施例を示す回路図



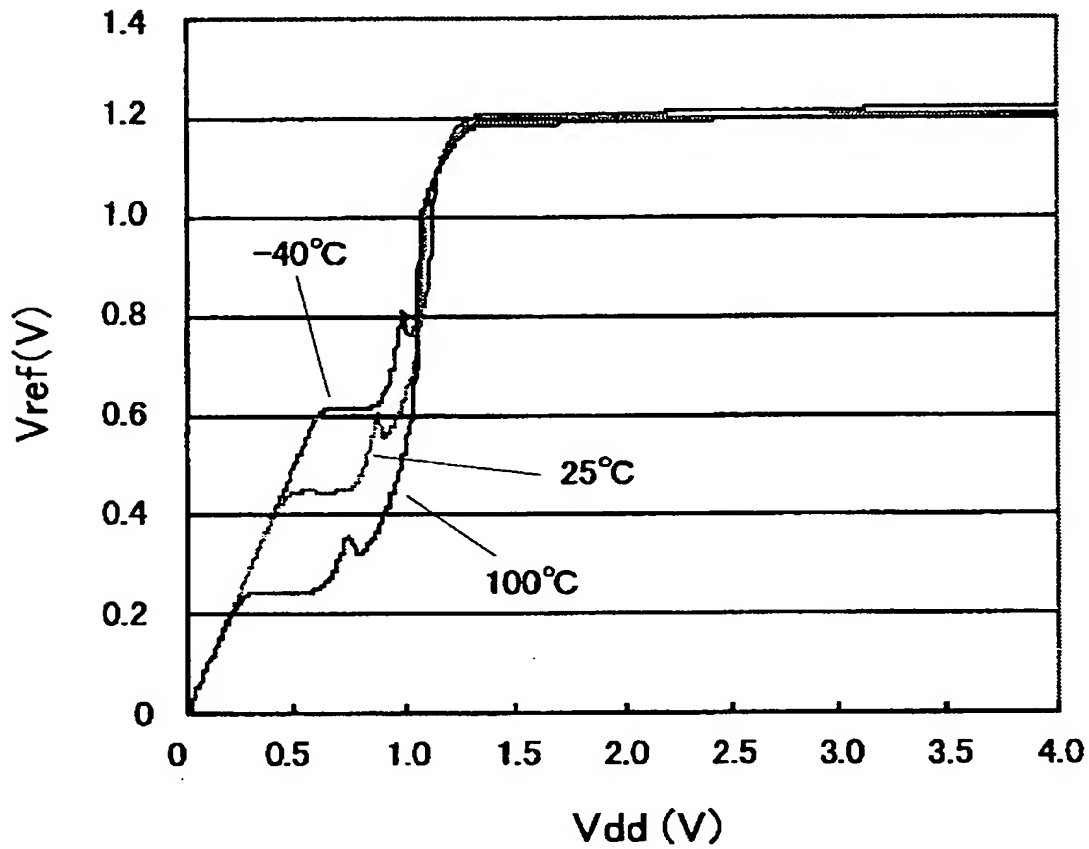
【図 11】

本発明のバイアス電流発生回路の他の回路例を示す図



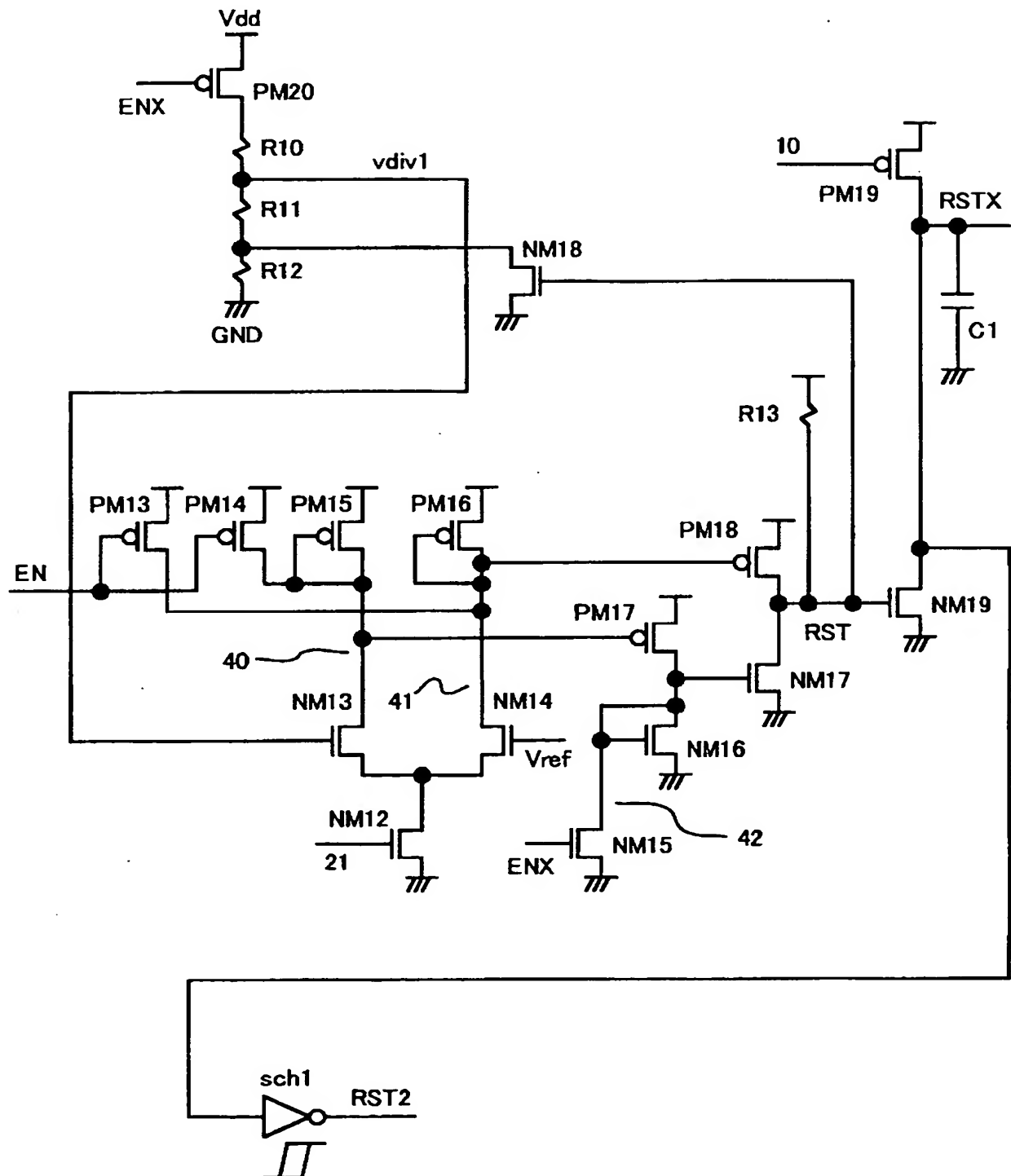
【図 13】

図 12 の回路の電源電圧と基準電圧との特性の一例を示す図



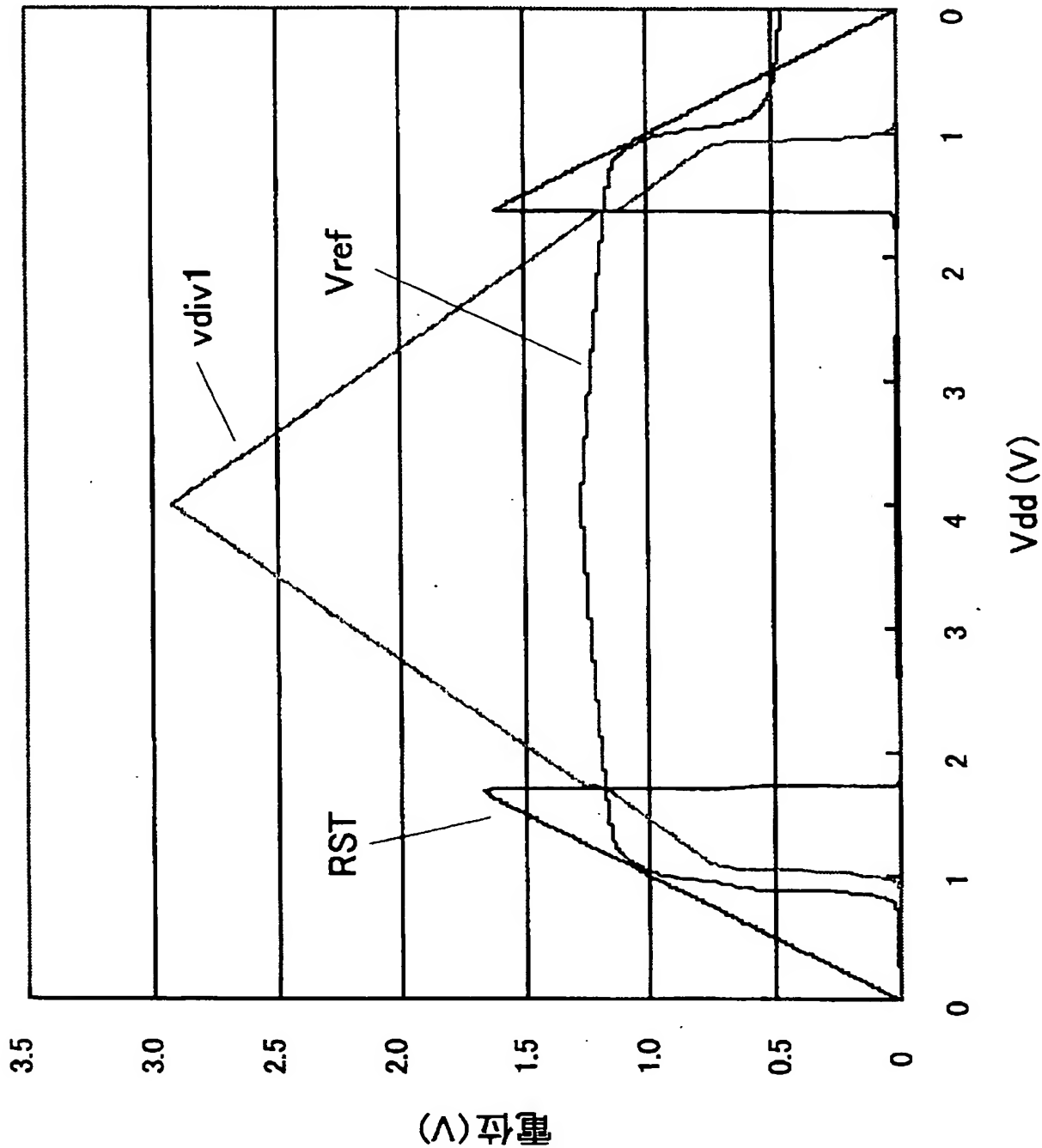
【図 14】

本発明による低電圧検出回路の構成の一例を示す図



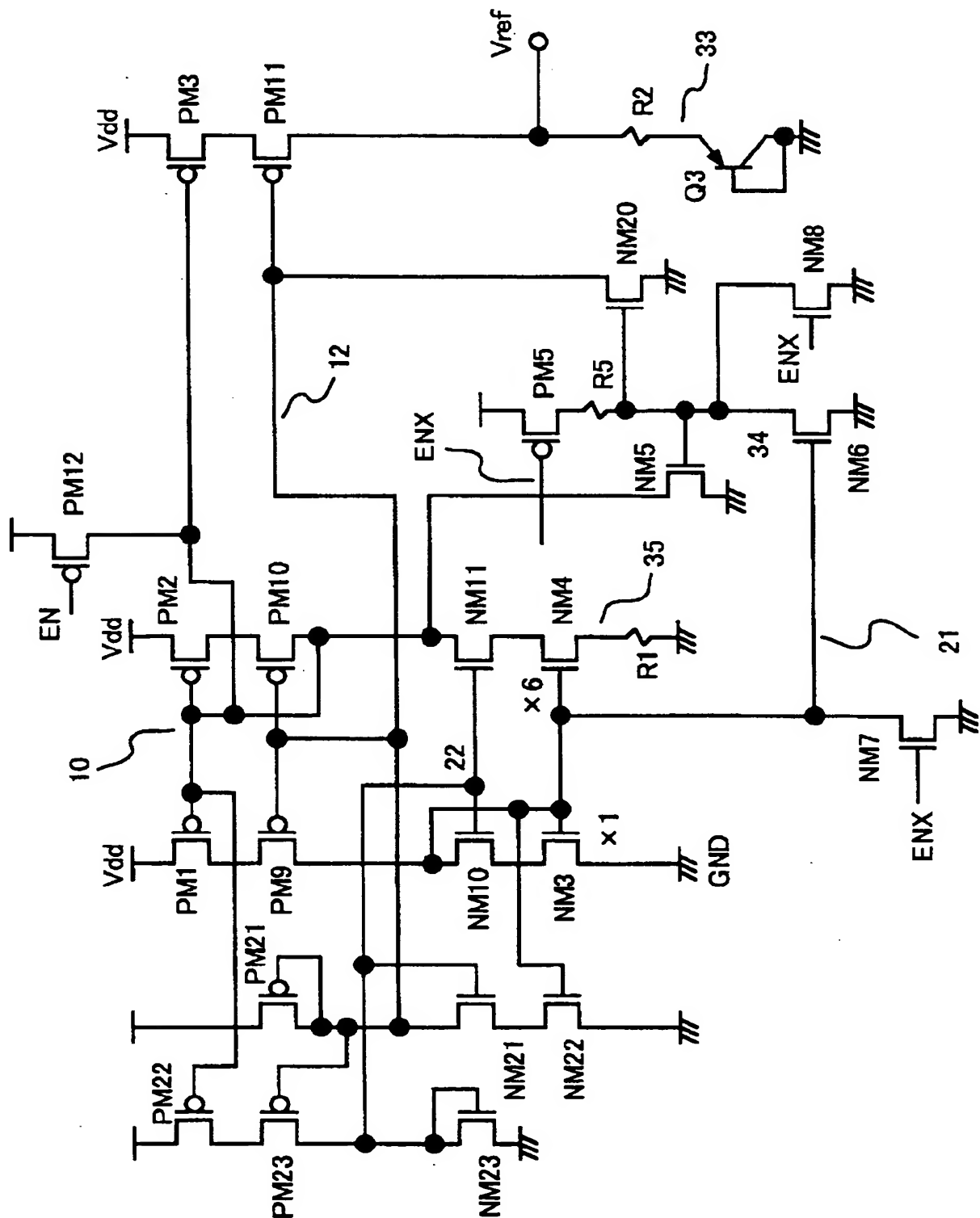
【図 15】

図 14 の回路の動作特性を説明するための図



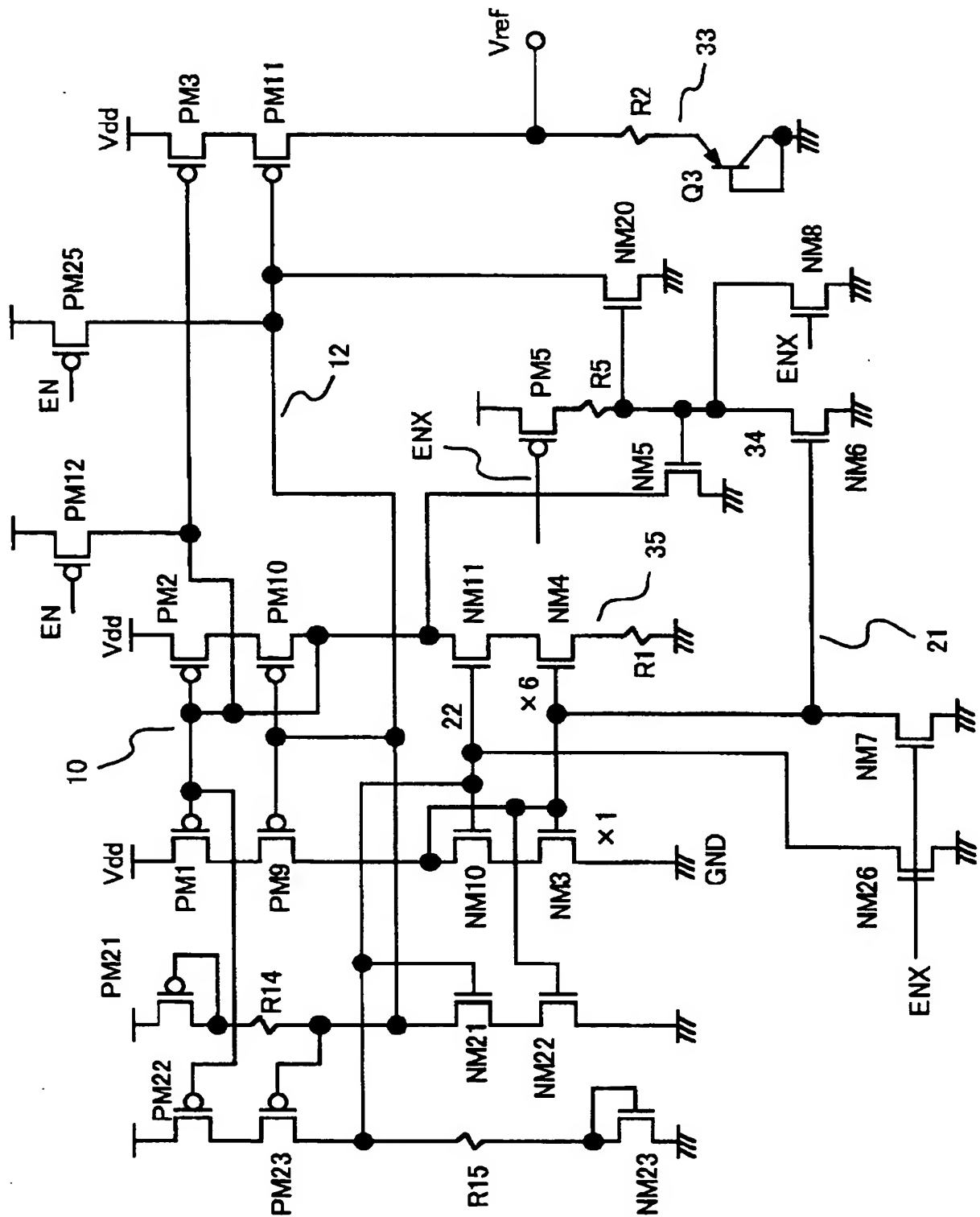
【図16】

本発明によるバンドギャップ回路の更に別の実施例を示す回路図



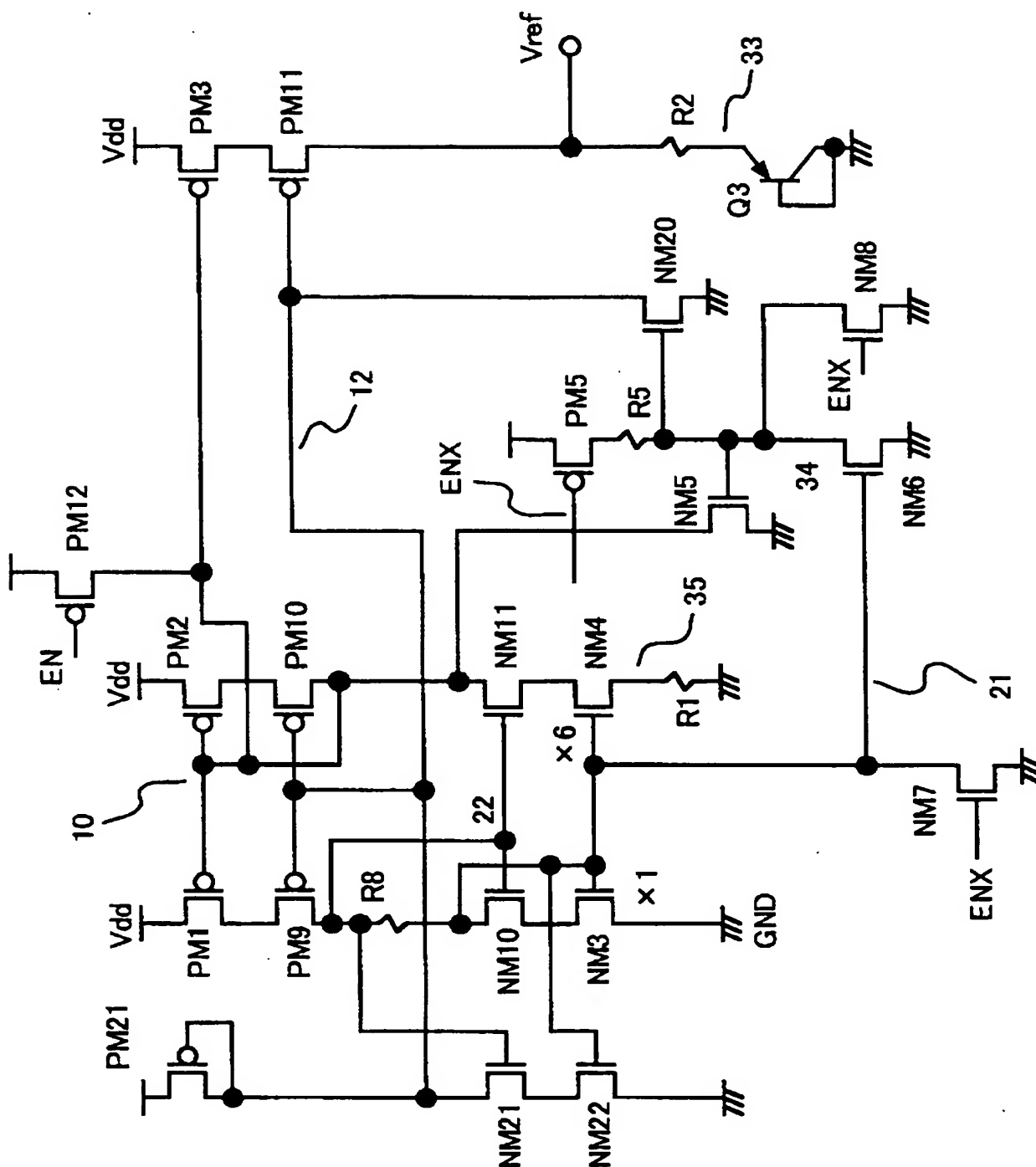
【図 17】

本発明によるバンドギャップ回路の更に別の実施例を示す回路図



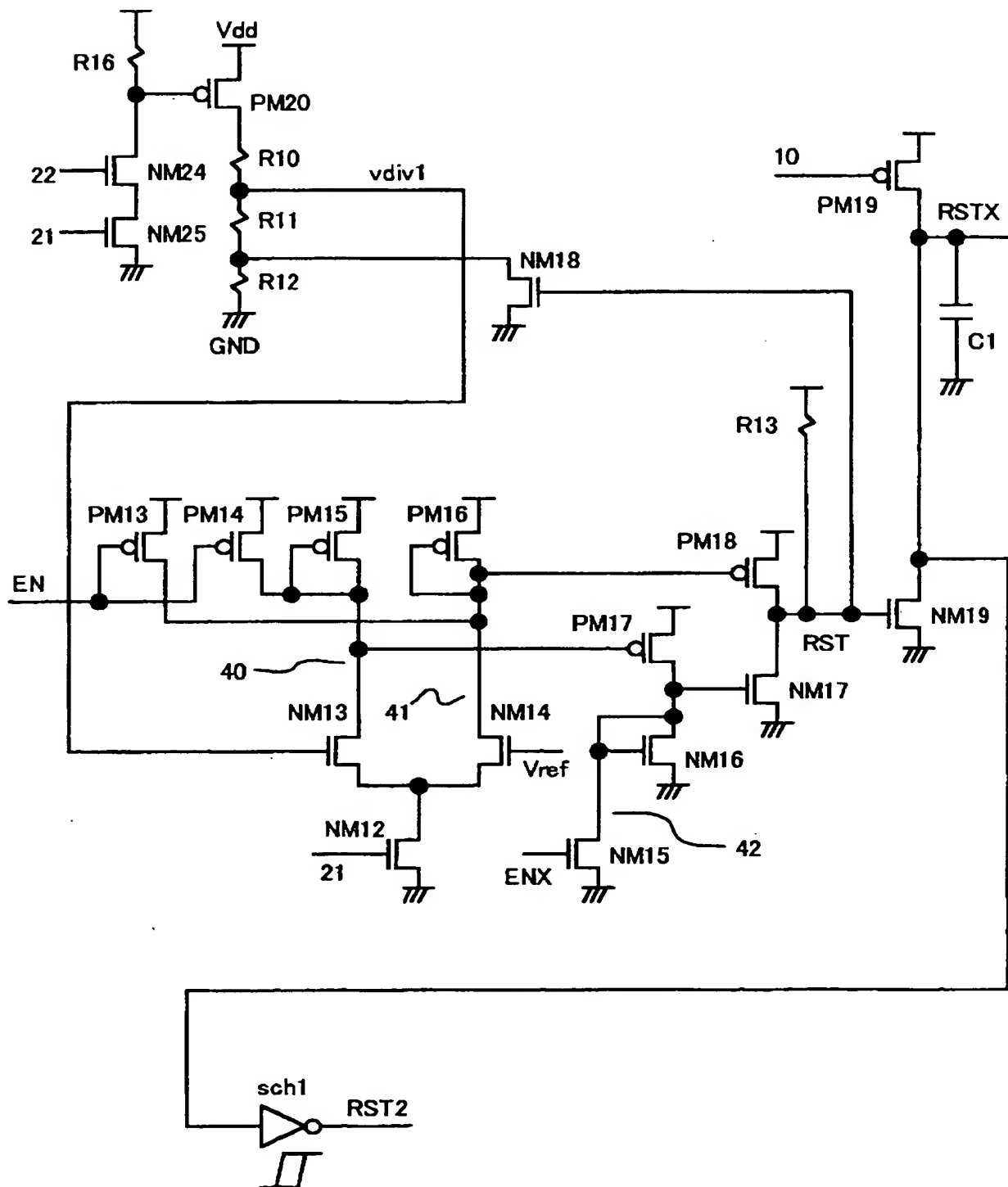
【図 18】

本発明によるバンドギャップ回路の更に別の実施例を示す回路図



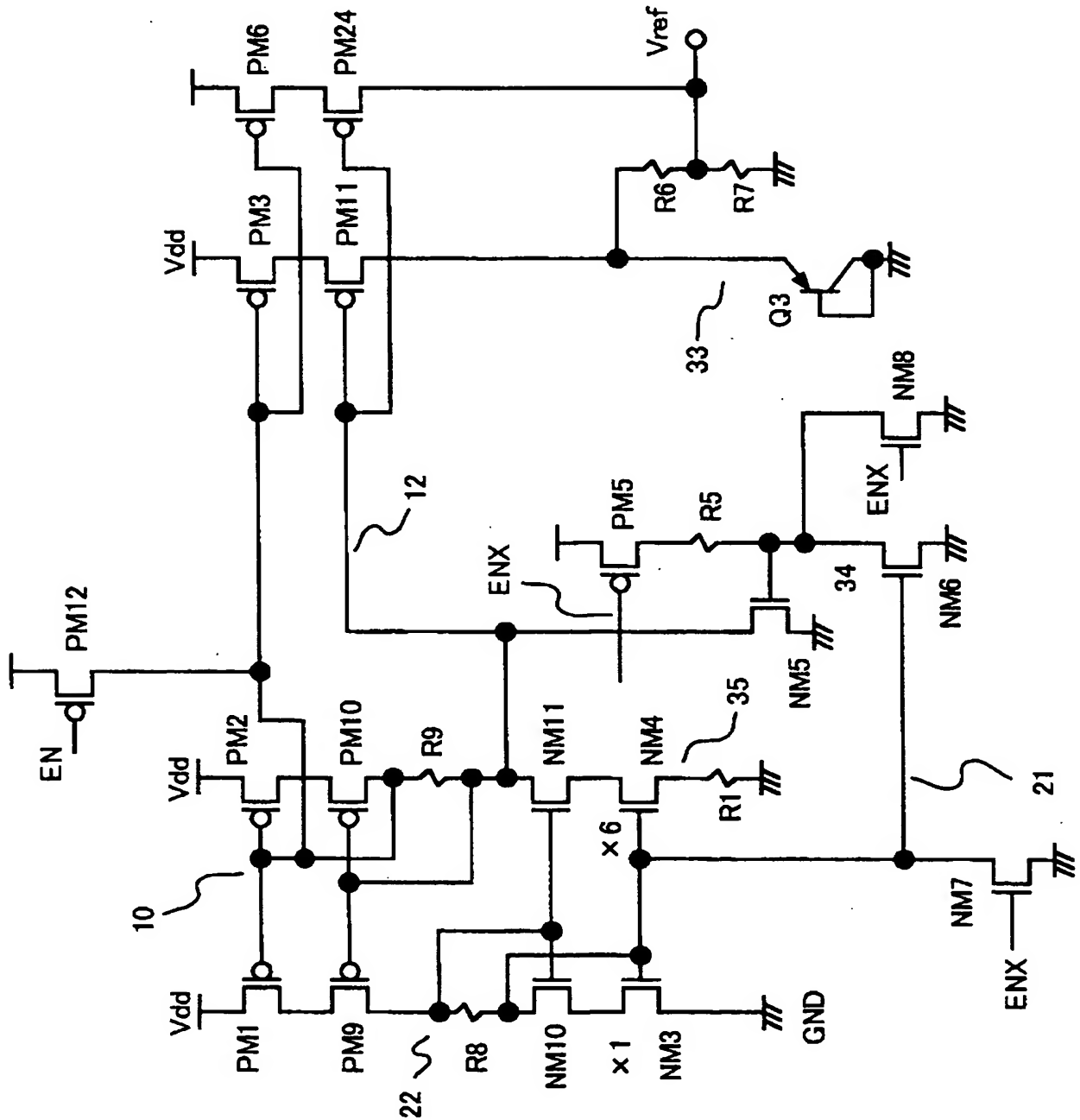
【図 19】

本発明による低電圧検出回路の別の実施例を示す回路図



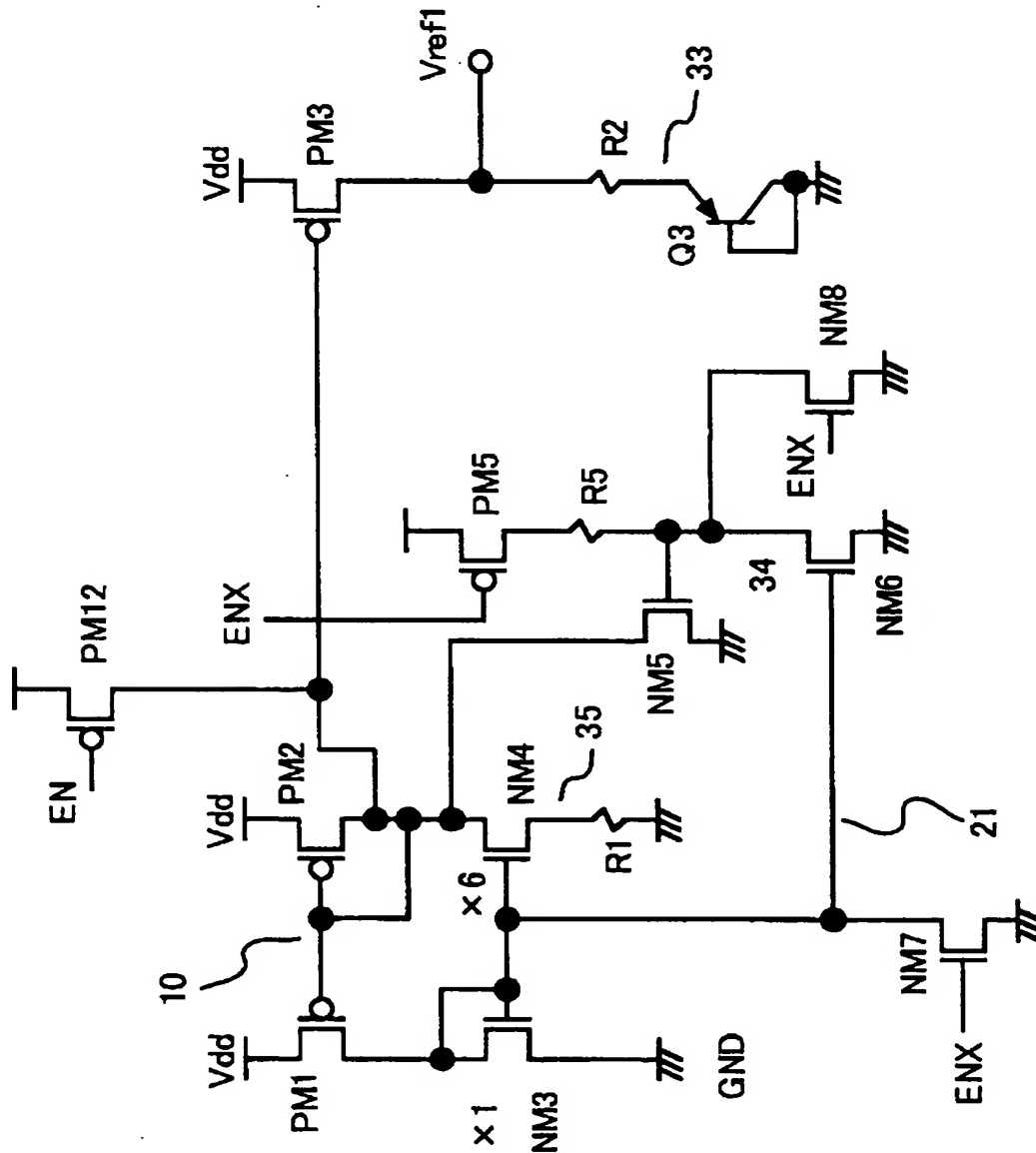
【図 20】

本発明によるバンドギャップ回路の他の実施例を示す回路図



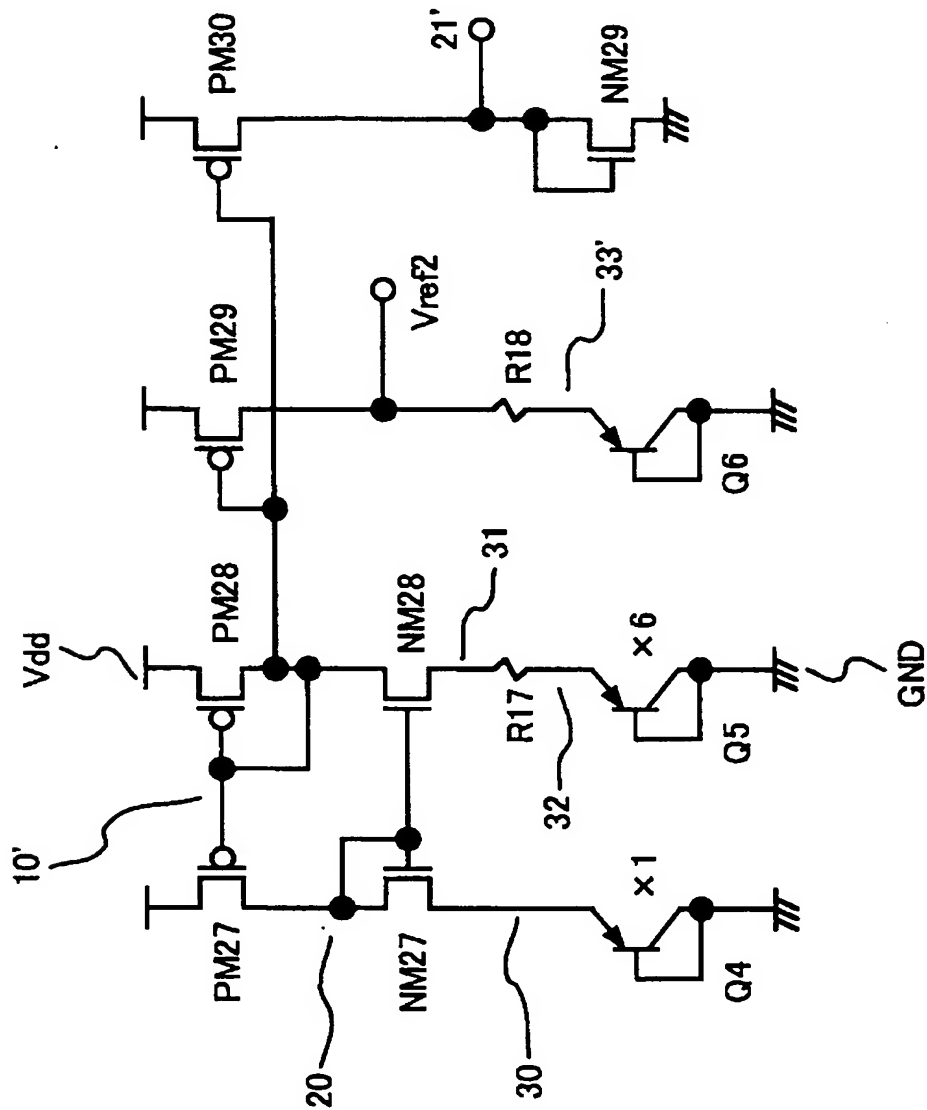
【図 21】

本発明による低電圧検出回路の他の実施例の一部を示す回路図



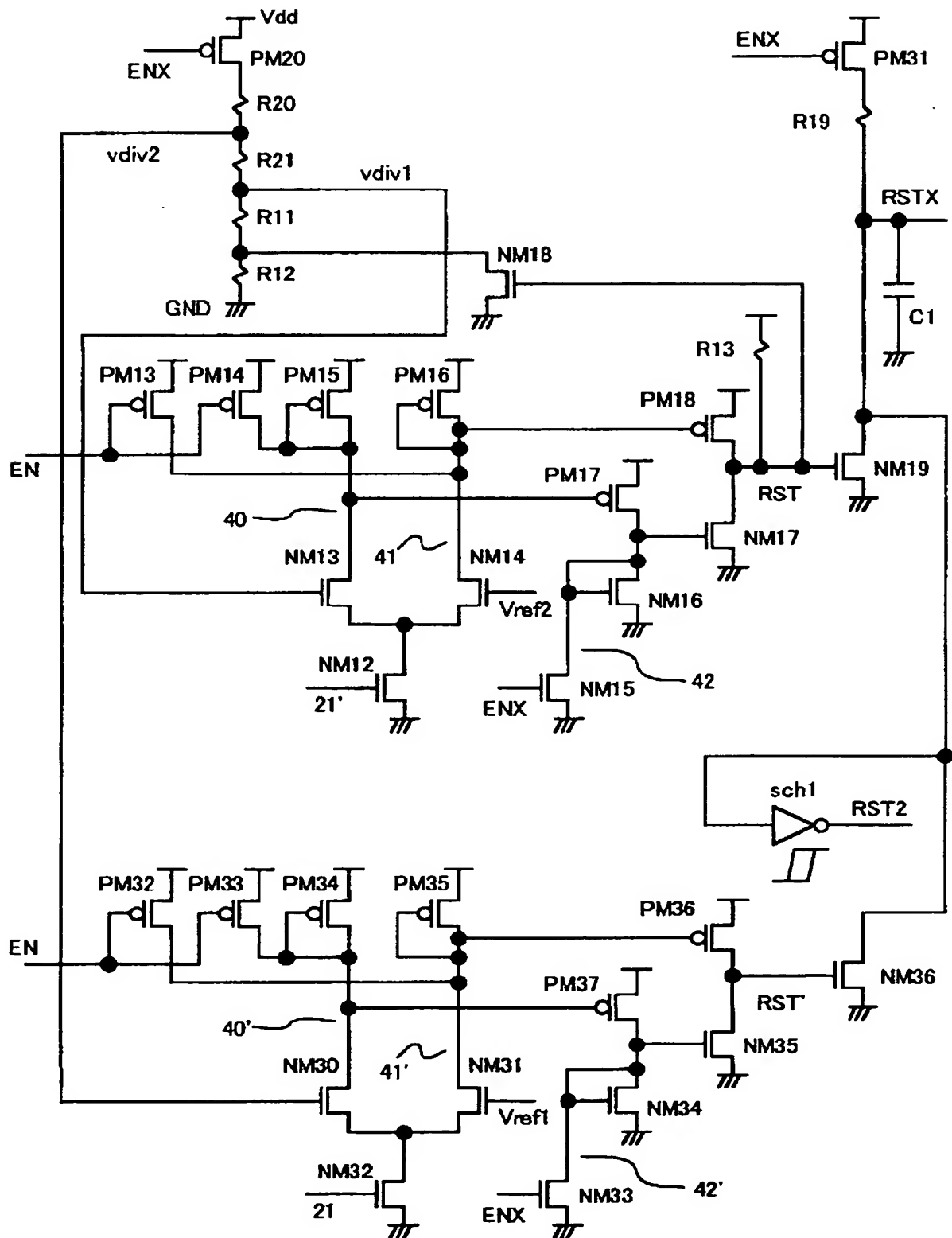
【図 22】

本発明による低電圧検出回路の他の実施例の一部を示す回路図



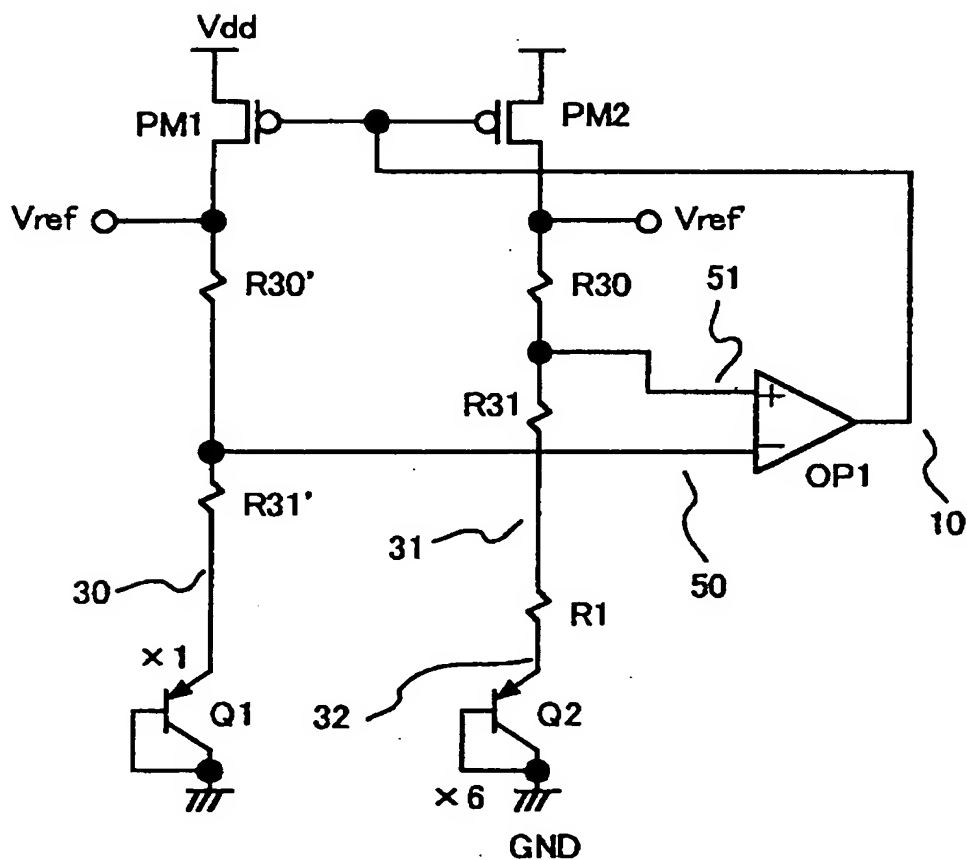
【図 23】

本発明による低電圧検出回路の他の実施例の一部を示す回路図



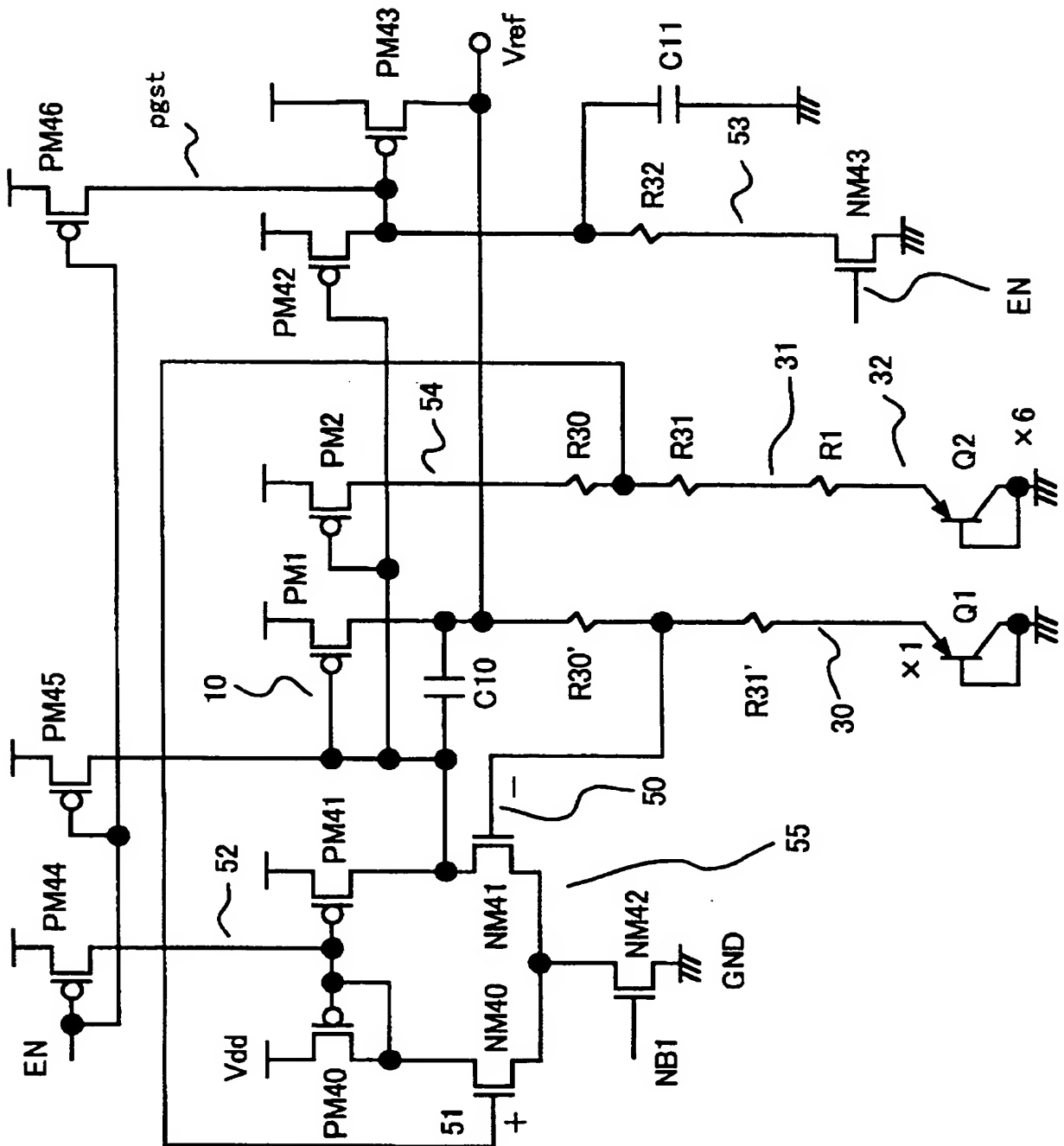
【図 24】

本発明によるオペアンプを用いたバンドギャップ回路の構成を示す回路図



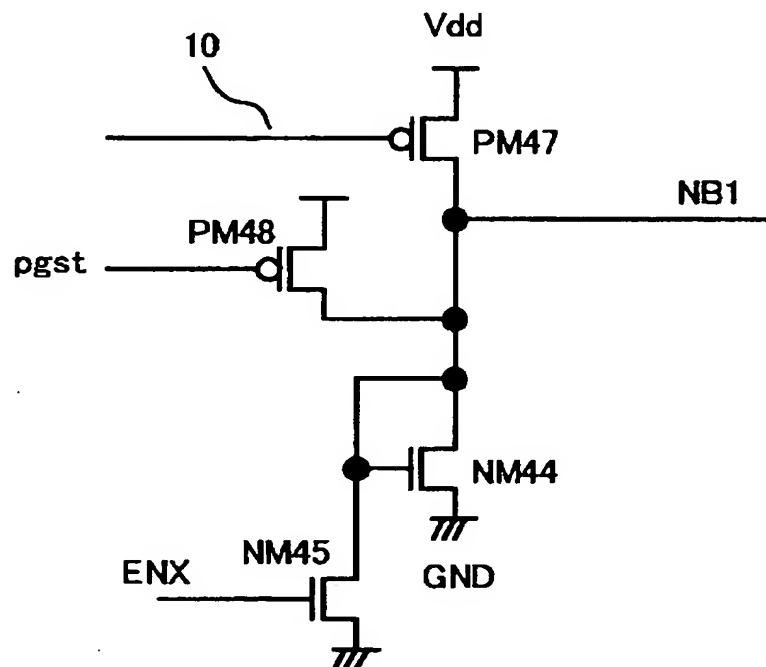
【図 25】

図 2 4 の回路の詳細を示す回路図



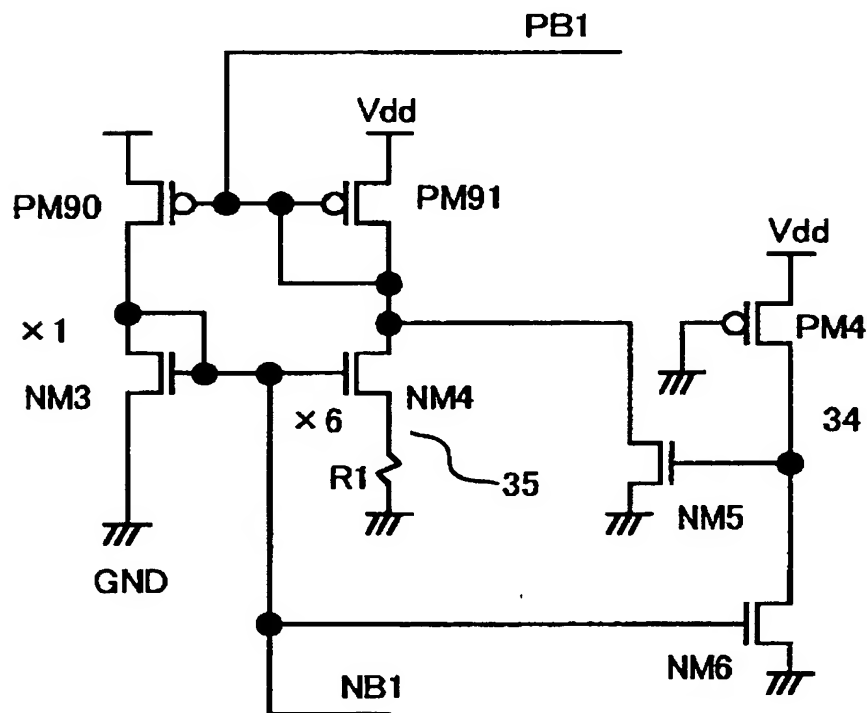
【図 26】

オペアンプのテイル電流源のバイアス電位を発生する回路の一例を示す図



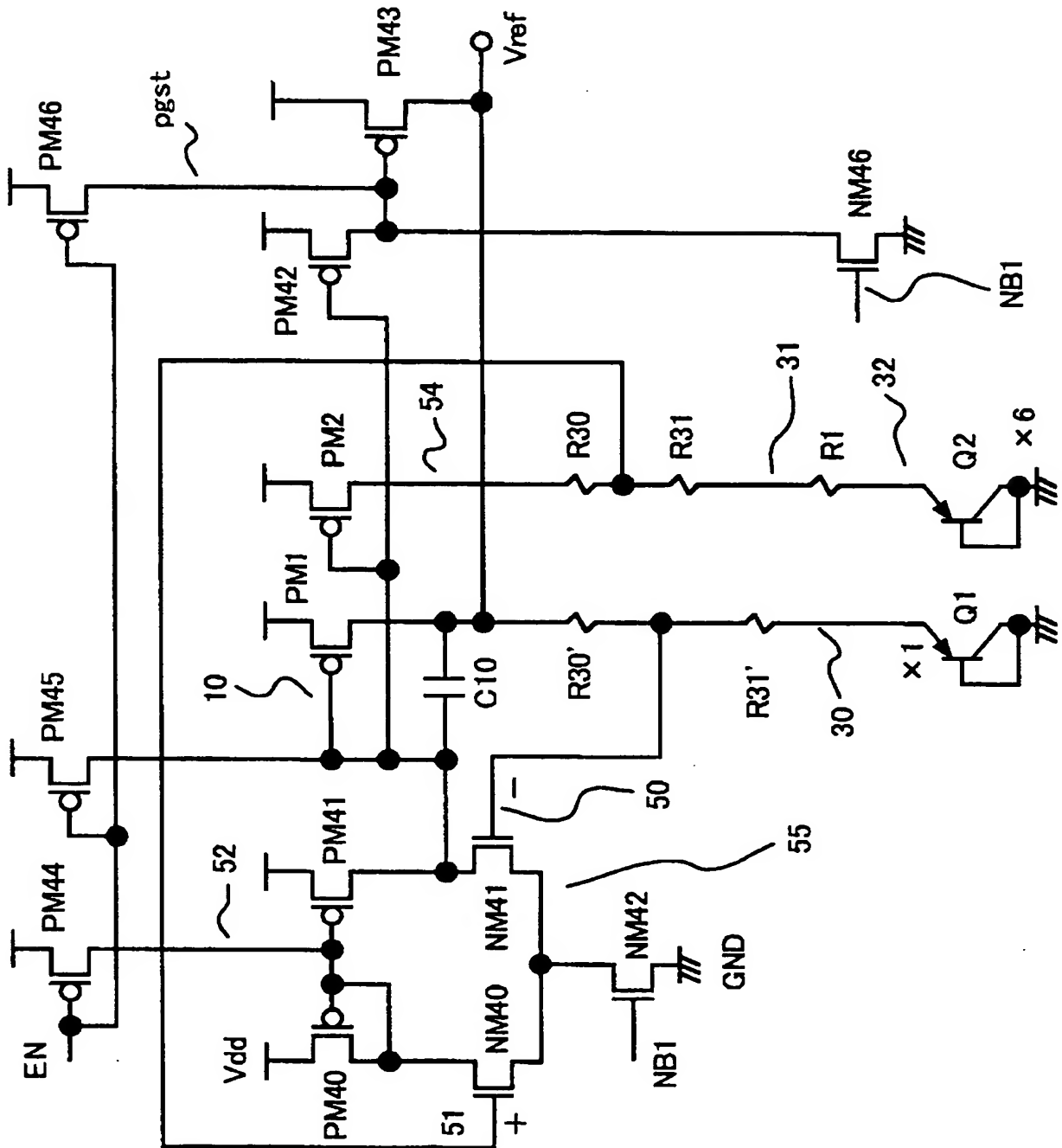
【図 27】

オペアンプのテイル電流源のバイアス電位
を発生する回路の他の一例を示す図



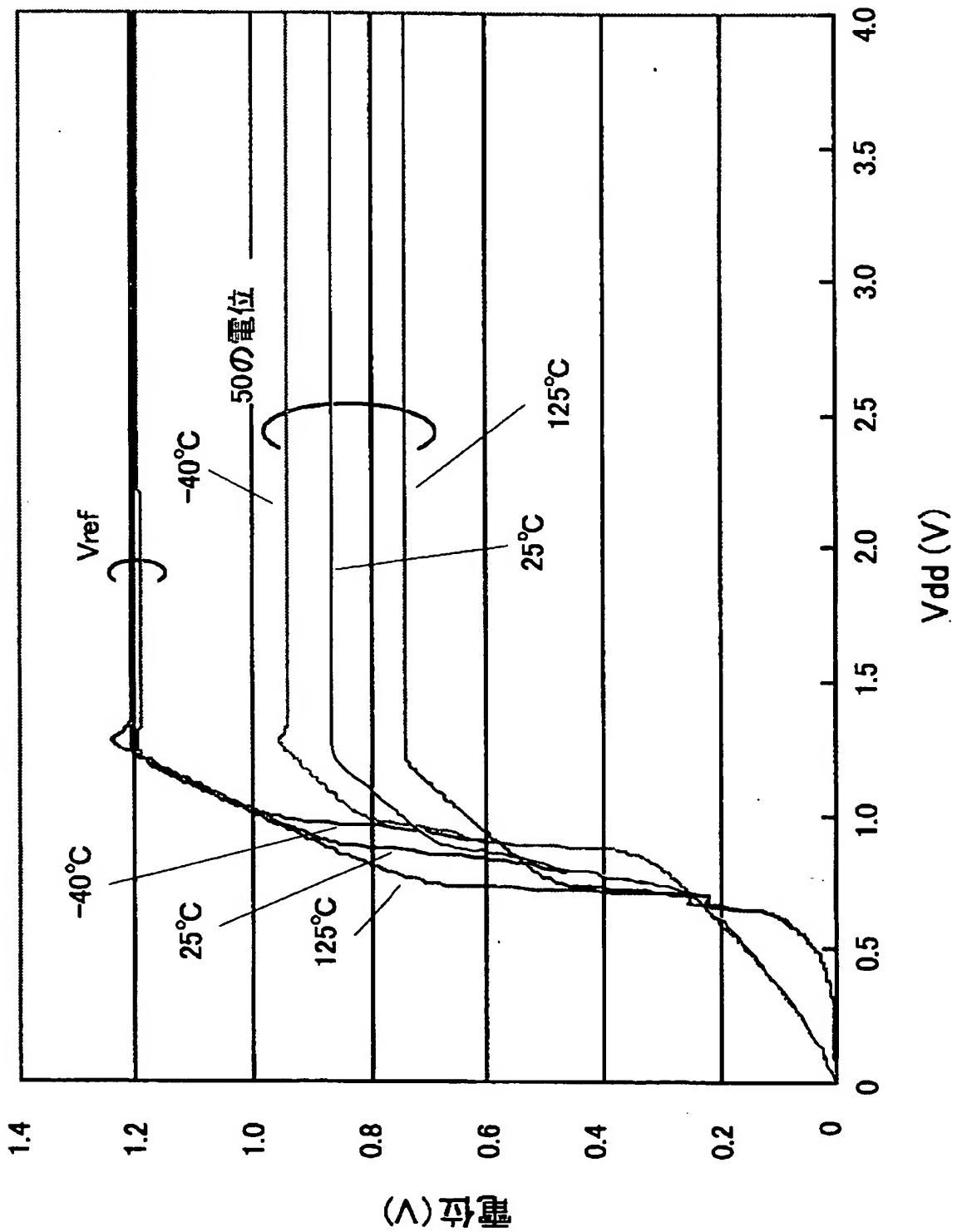
【図 28】

図 25 と構成が異なるスタートアップ回路の一例を示す図



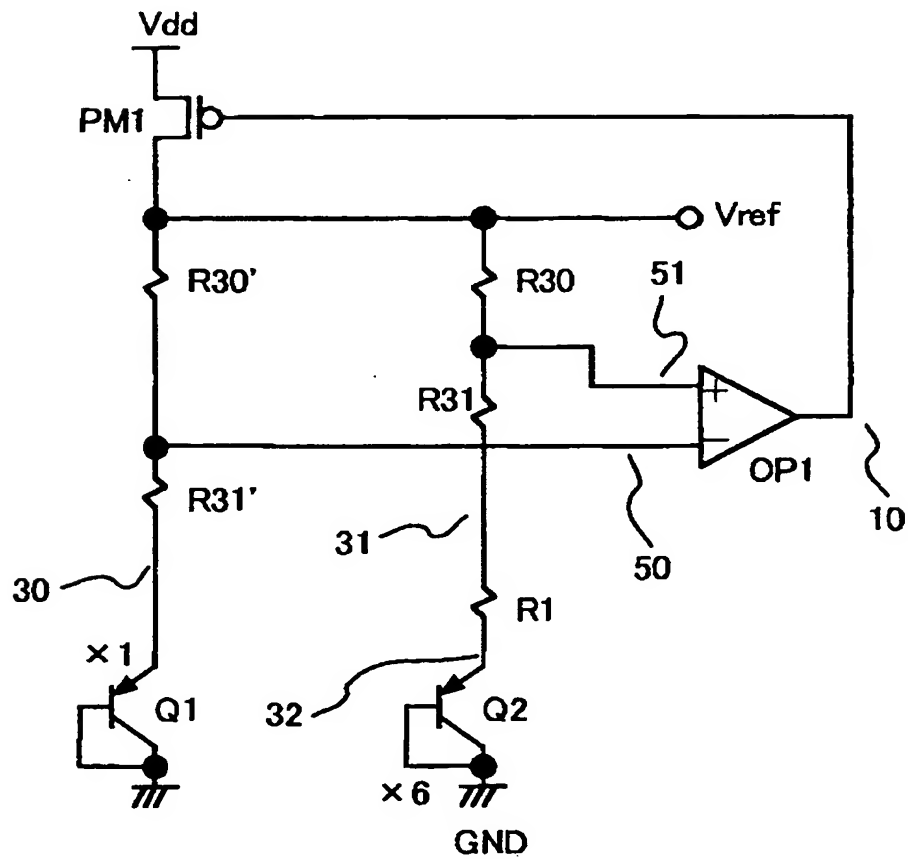
【図 29】

図 28 の発明の回路の電源電圧と基準電圧との特性を示す図



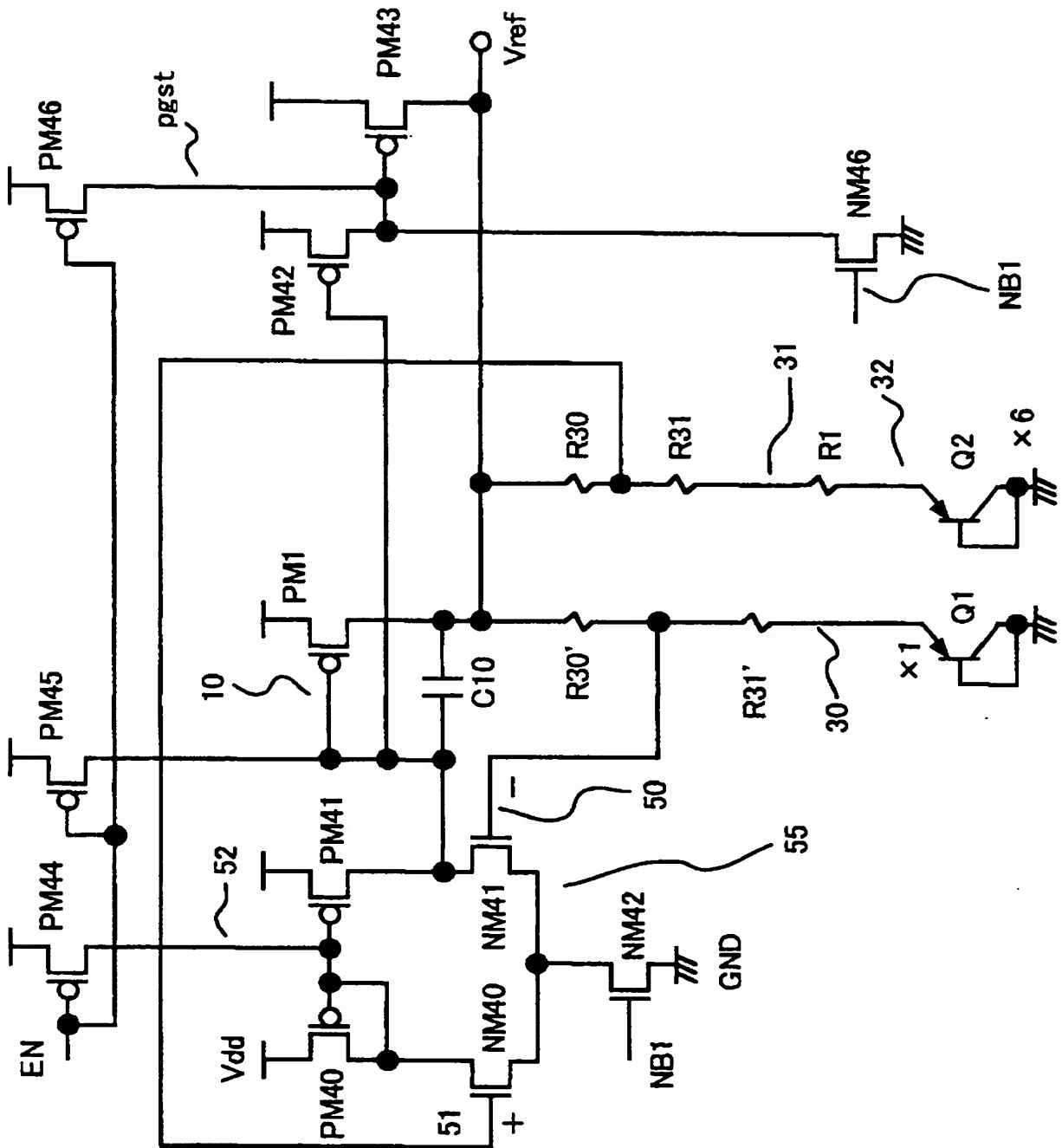
【図 30】

オペアンプを用いた本発明のバンドギャップ回路
の他の実施例を示す回路図



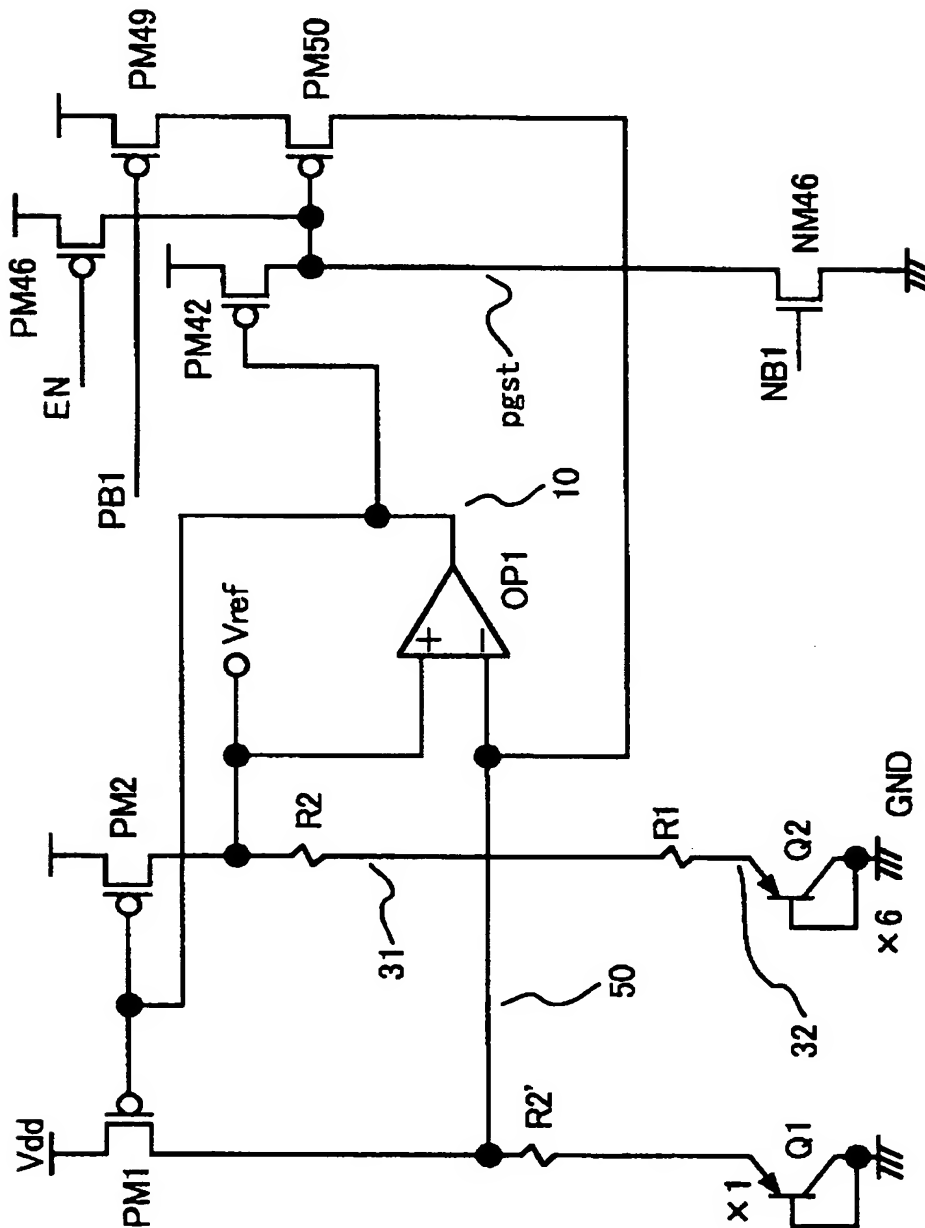
【図 31】

図 30 の回路の具体的な構成の一例を示す図



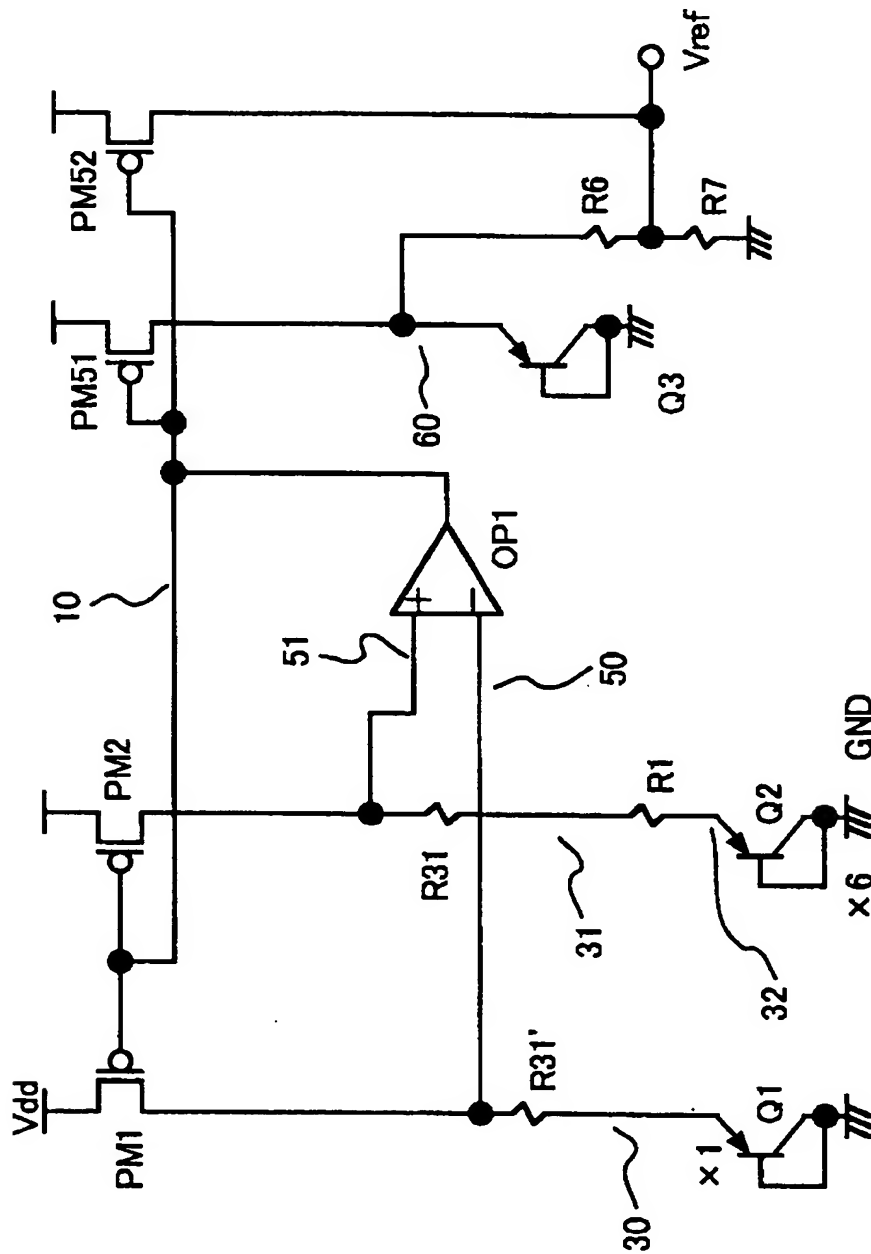
【図 3 2】

オペアンプを用いた本発明のバンドギャップ回路
 の他の実施例を示す回路図



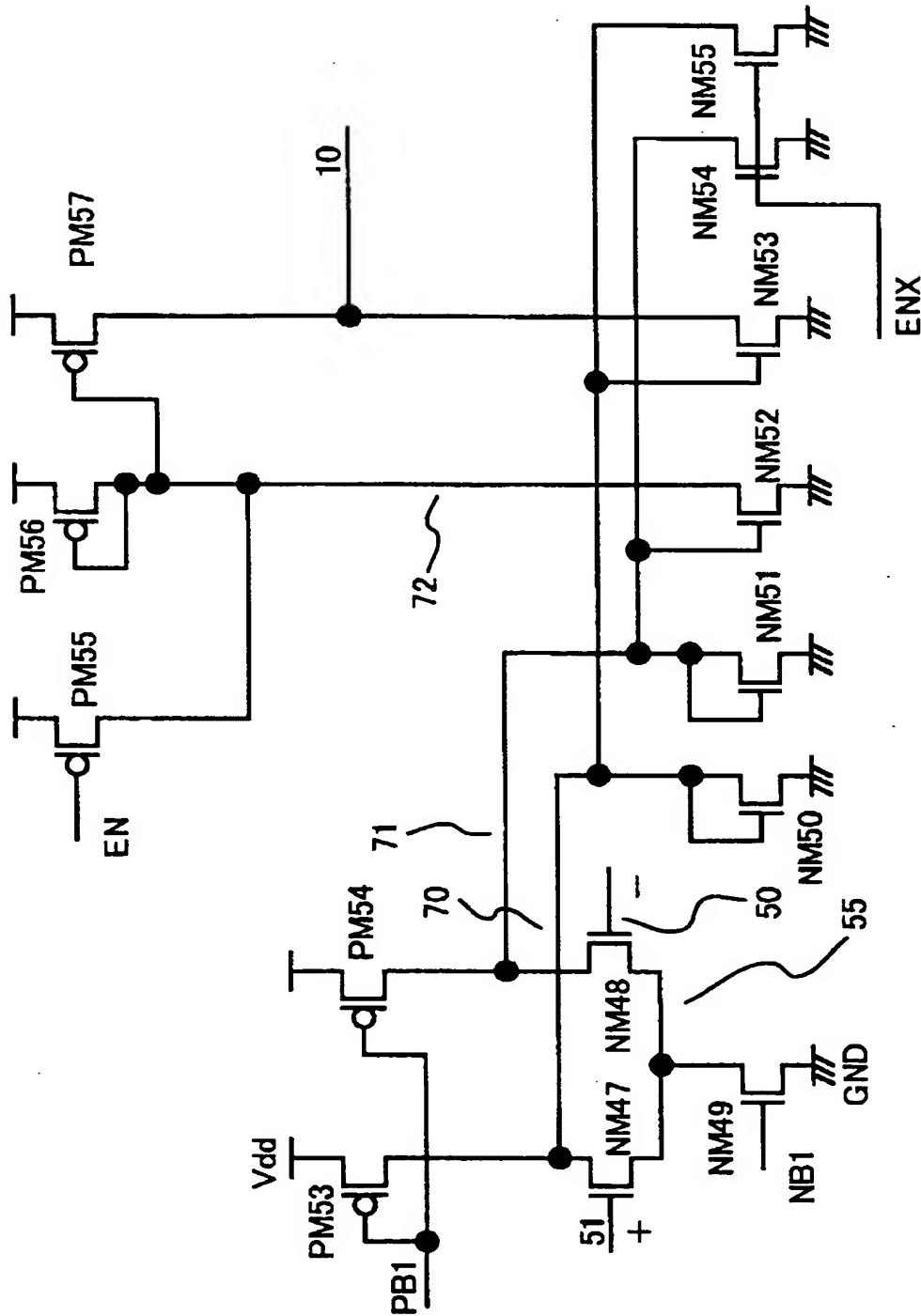
【図 33】

オペアンプを用いた本発明のバンドギャップ回路
他の実施例を示す回路図



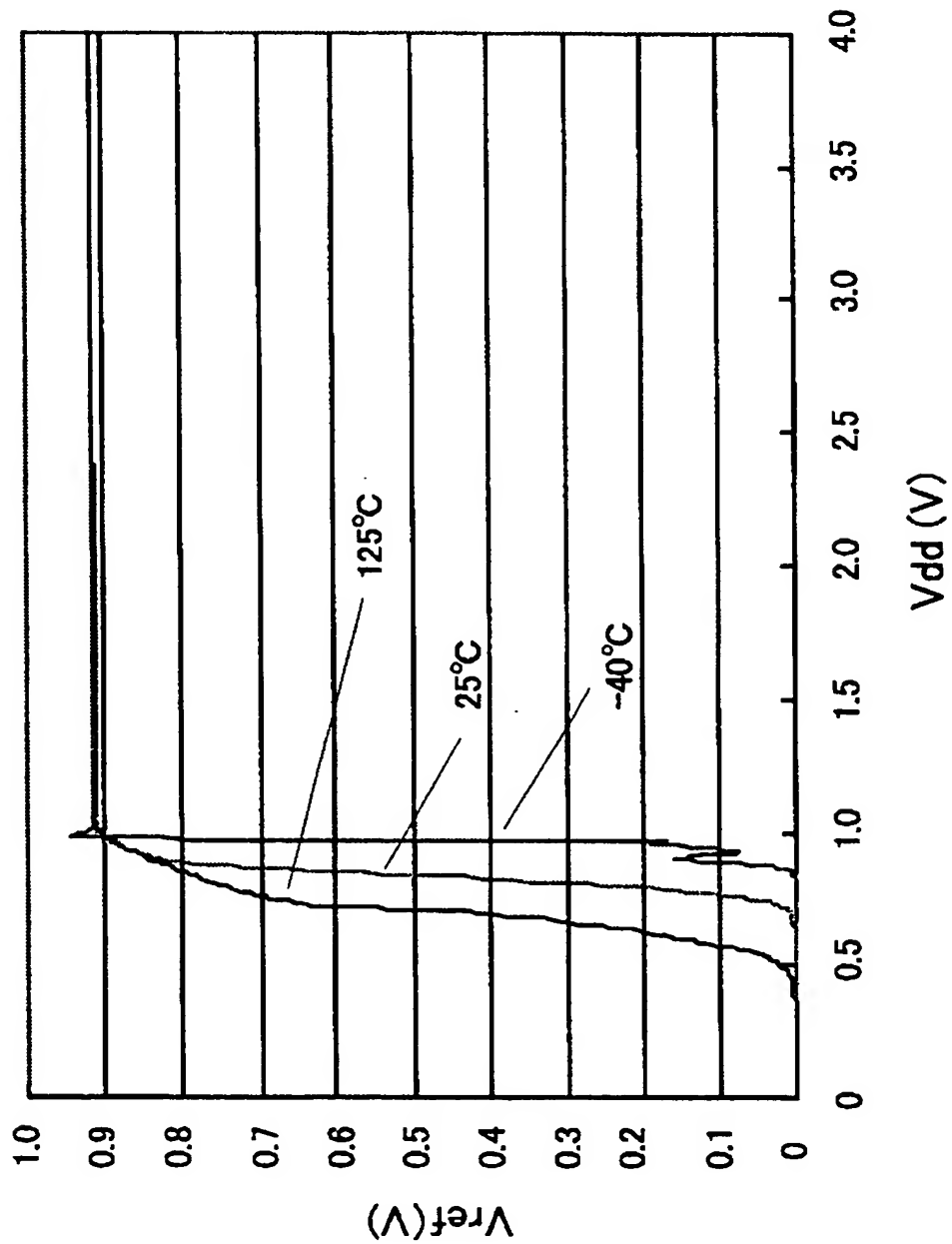
【図 34】

本発明で用いるオペアンプの実施例を示す回路図



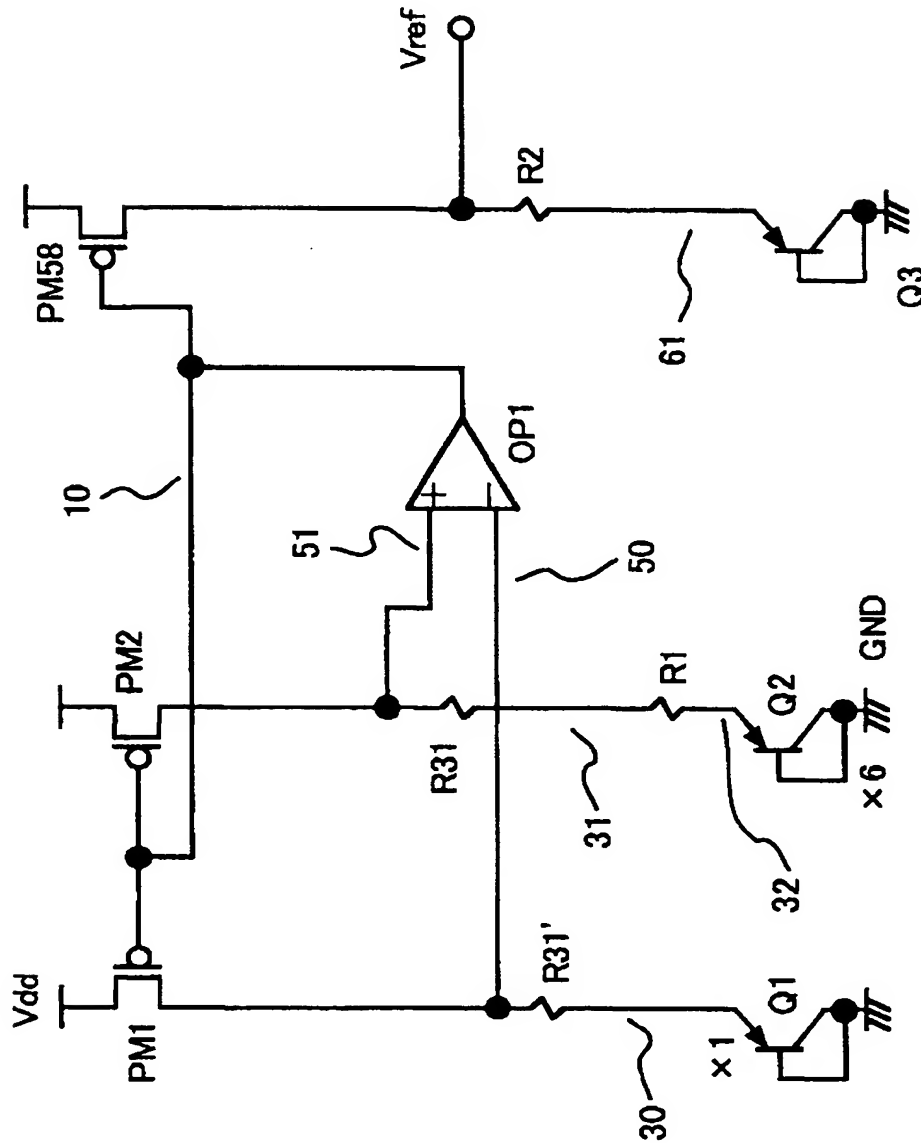
【図 3 5】

図 3 3 の回路と図 3 4 の回路の電源電圧
と基準電圧との特性の一例を示す図



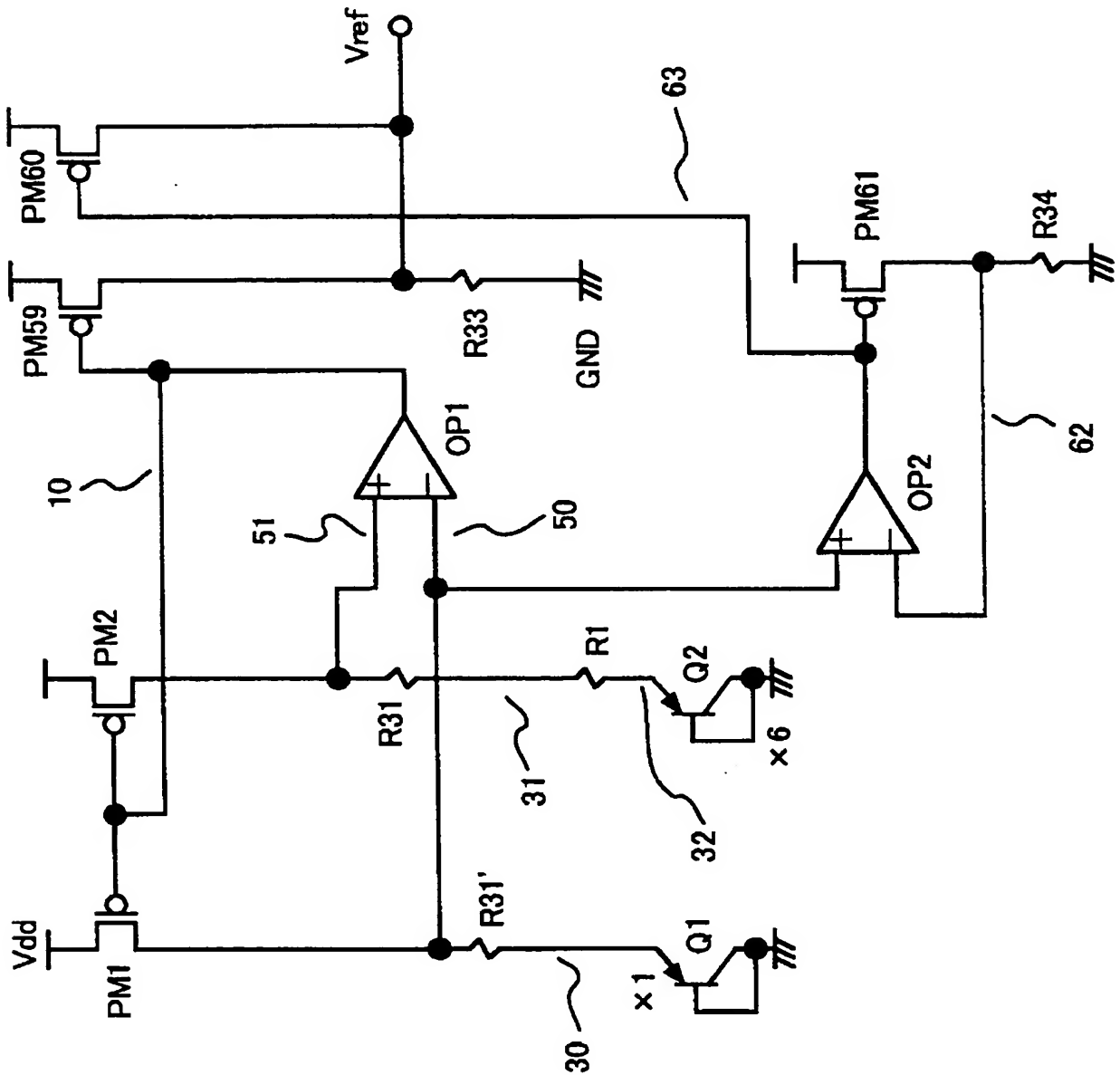
【図 3 6】

オペアンプを用いた本発明のバンドギャップ回路
 の他の実施例を示す回路図



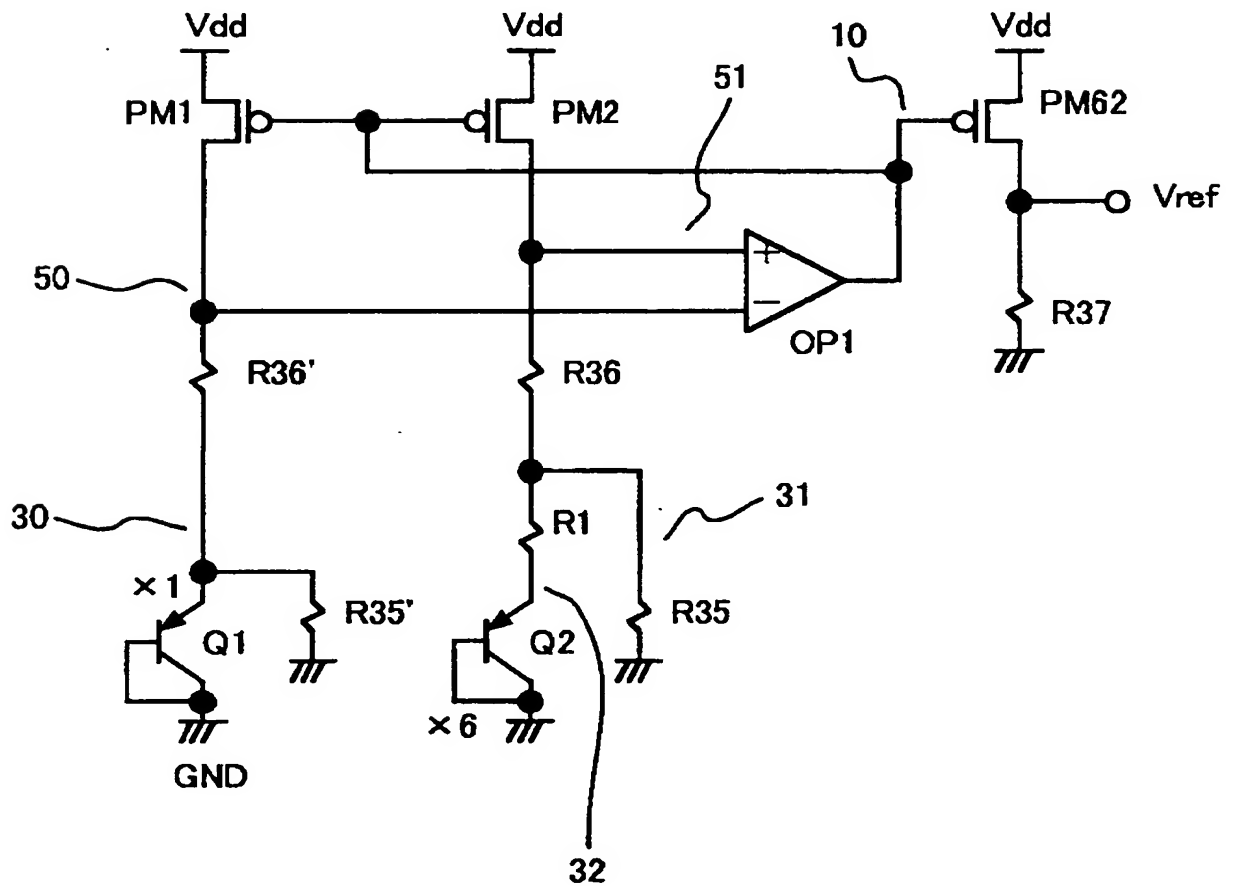
【図 37】

オペアンプを用いた本発明のバンドギャップ回路
の他の実施例を示す回路図



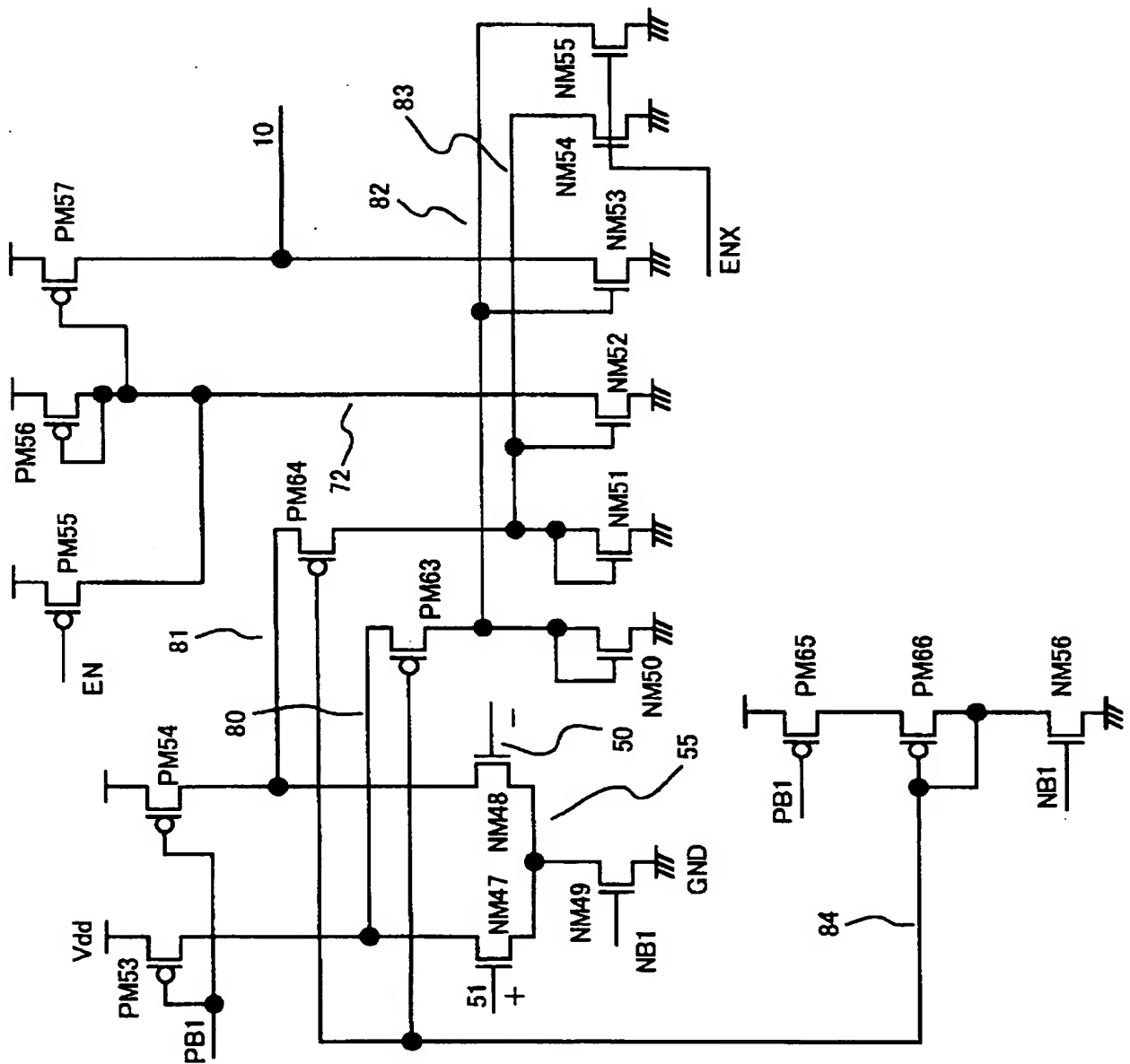
【図 38】

オペアンプを用いた本発明のバンドギャップ回路
の他の実施例を示す回路図



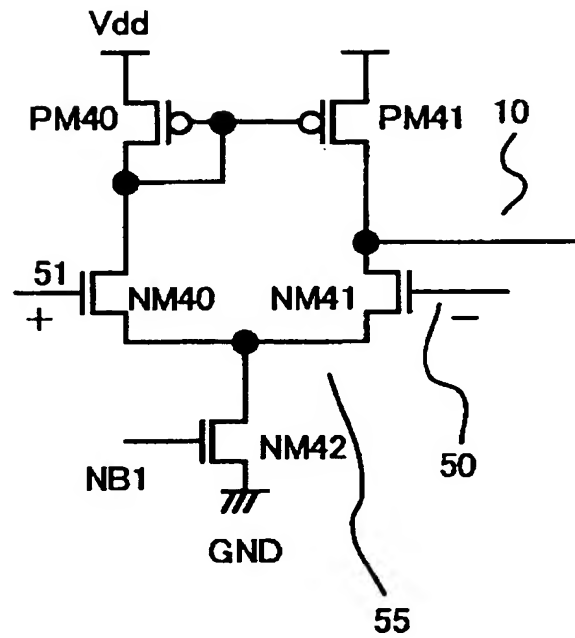
【図 39】

本発明で用いるオペアンプの別の一例を示す回路図



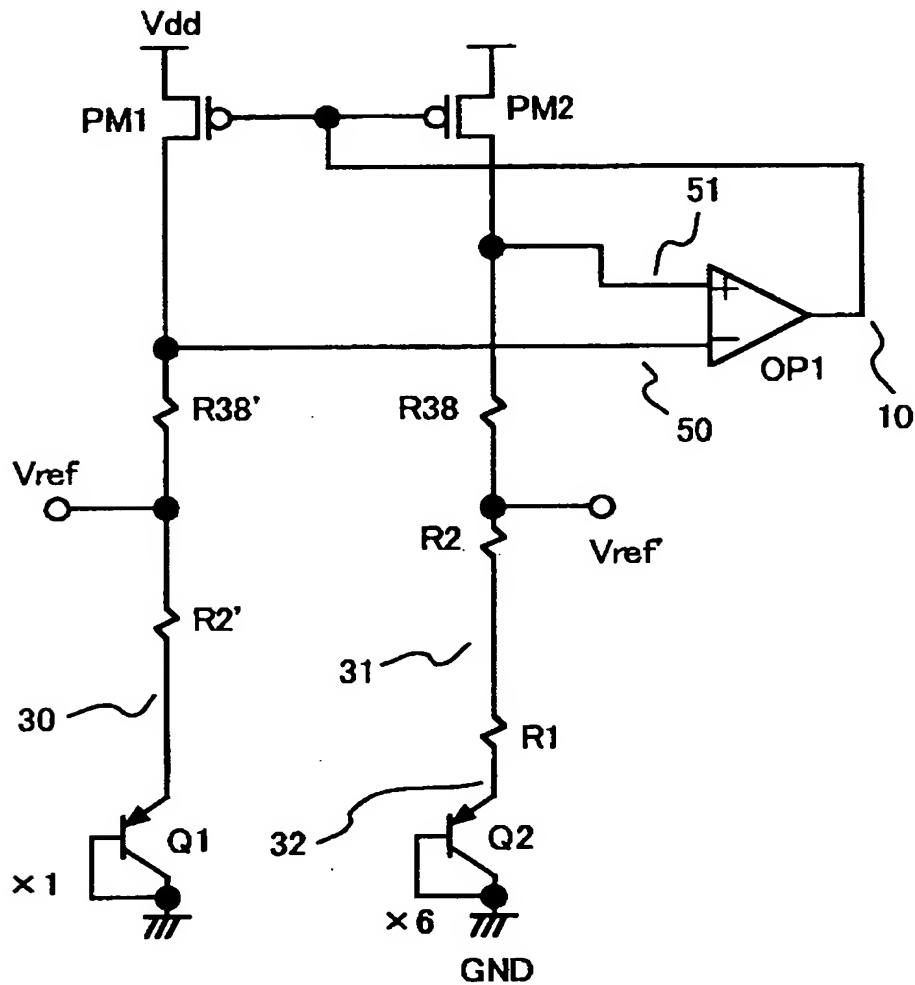
【図 40】

本発明で用いるオペアンプの最も一般的な構成例を示す回路図



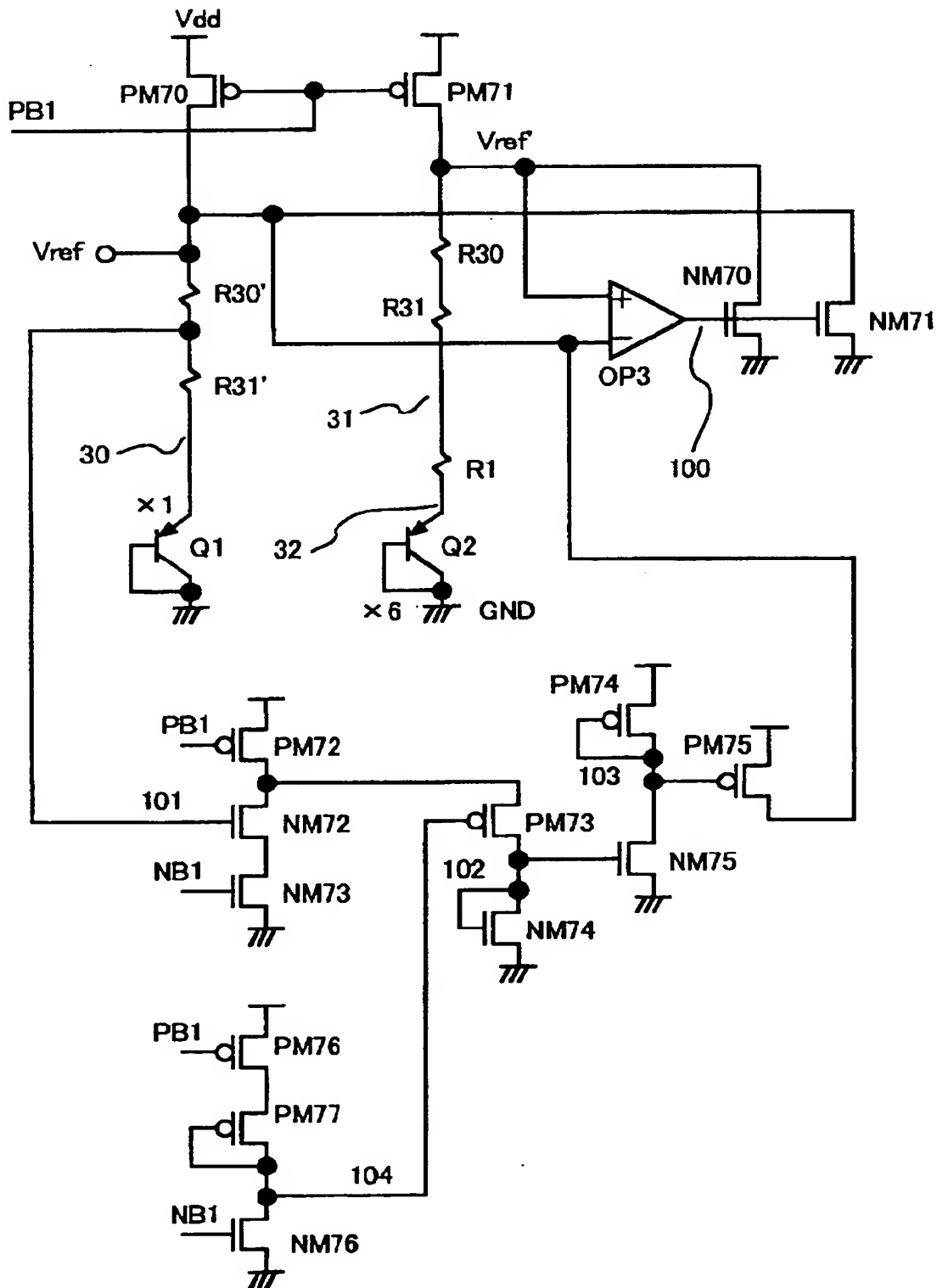
【図 4 1】

オペアンプを用いた本発明のバンドギャップ回路
の他の実施例を示す回路図



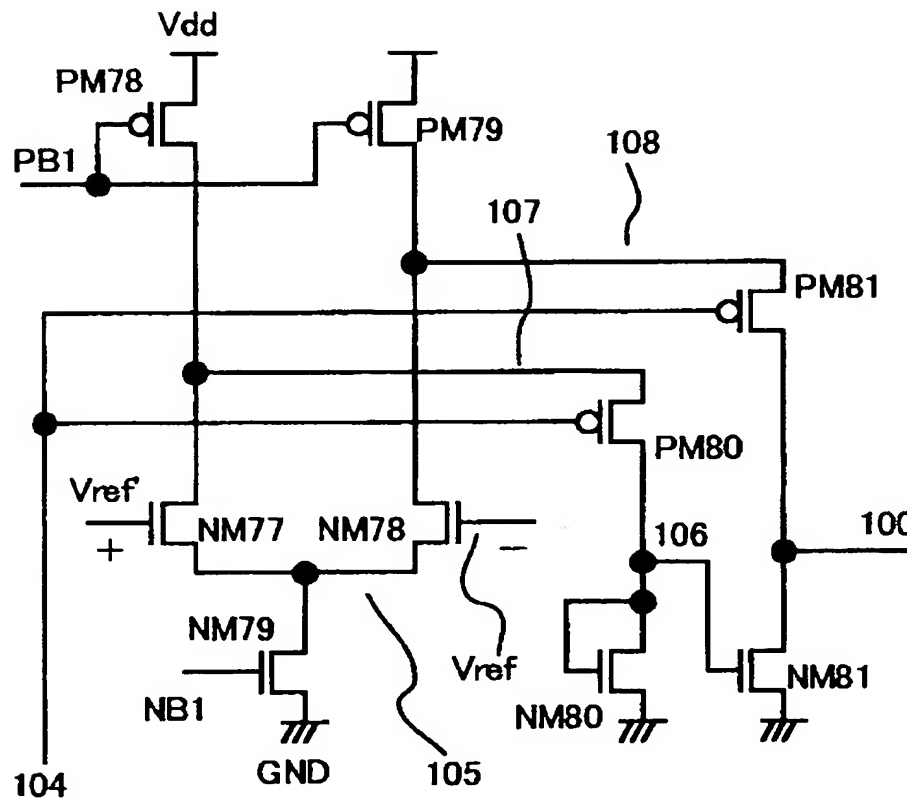
【図 4 2】

オペアンプを用いた本発明のバンドギャップ回路
 の他の実施例を示す回路図



【図 4 3】

図 4 2 の回路構成に適したオペアンプ回路の例を示す図



【書類名】要約書

【要約】

【課題】本発明は、最低動作電圧が小さく且つ簡素な構成のバンドギャップ回路を提供することを目的とする。

【解決手段】バンドギャップ回路である半導体集積回路は、MOSトランジスタのサイズ比と抵抗とにより絶対温度に実質的に比例する第1の電流を発生する電流発生回路と、電流発生回路の安定動作点を電流を発生する点に設定するスタートアップ回路を含み、電流発生回路が安定動作点で動作する際にスタートアップ回路に流れる電流が拡散抵抗とMOSトランジスタとの直列抵抗により定まることを特徴とする。

【選択図】図5

特願 2003-366085

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社